

Inhalt

Vorwort zur 5. Auflage — V

1 Einleitung — 1

- 1.1 Die Hardwarebeschreibungssprache VHDL — 5
- 1.2 Digitale und analoge Signale — 5
- 1.3 Digitale Systeme — 7
- 1.4 Vertiefende Aufgaben — 10

2 Modellierung digitaler Schaltungen — 11

- 2.1 Lernziele — 11
- 2.2 Entwurfssichten und Abstraktionsebenen — 11
- 2.3 Modellierung mit Hardwarebeschreibungssprachen — 14
 - 2.3.1 Datenflussmodelle — 15
 - 2.3.2 Strukturmodelle — 16
 - 2.3.3 Verhaltensmodelle — 17
- 2.4 Kombinatorische und getaktete Logik — 17
 - 2.4.1 Eigenschaften kombinatorischer Logik — 18
 - 2.4.2 Eigenschaften getakteter Logik — 19
 - 2.4.3 Modellierung auf Register-Transfer-Ebene — 19
- 2.5 Entwurfsmethodik für programmierbare digitale Schaltungen — 21
- 2.6 Vertiefende Aufgaben — 23

3 Boole'sche Algebra — 24

- 3.1 Lernziele — 24
- 3.2 Schaltvariable und Schaltfunktionen, Signale — 24
- 3.3 Elementare Schaltfunktionen — 25
 - 3.3.1 Die NICHT-Schaltfunktion (Inversion) — 26
 - 3.3.2 Die UND-Schaltfunktion (Konjunktion) — 26
 - 3.3.3 Die ODER-Schaltfunktion (Disjunktion) — 27
 - 3.3.4 Boole'sche Funktionen mit mehreren Eingängen — 27
- 3.4 Rechenregeln der Schaltalgebra — 28
 - 3.4.1 Theoreme — 28
 - 3.4.2 Kommutativgesetze — 29
 - 3.4.3 Assoziativgesetze — 30
 - 3.4.4 Distributivgesetze — 30
 - 3.4.5 De Morgan'sche Gesetze — 31
 - 3.4.6 Vereinfachungsregeln — 31
- 3.5 Vollständige Systeme — 32
 - 3.5.1 Das Dualitätsprinzip — 32

3.5.2	NAND- und NOR-Gatter —	33
3.6	Normalformen —	35
3.6.1	Disjunktive Normalform (DNF) —	36
3.6.2	Konjunktive Normalform (KNF) —	36
3.7	Realisierung von Schaltfunktionen mit Wahrheitstabellen —	37
3.7.1	SOP- und POS-Darstellungen von Wahrheitstabellen in programmierbaren Bausteinen mit UND/ODER-Logik —	39
3.7.2	Look-Up-Tabellen —	39
3.8	XOR- und XNOR-Logik —	41
3.8.1	SOP- und POS-Darstellungen —	41
3.8.2	XOR- und XNOR-Regeln und -Gesetze —	41
3.8.3	XOR- und XNOR-Logik mit mehr als zwei Eingängen —	42
3.9	Vorrangregeln —	43
3.10	Schaltsymbole —	44
3.11	Implementierung von Schaltfunktionen mit Multiplexern —	47
3.12	Analyse von Schaltnetzen —	48
3.13	Vertiefende Aufgaben —	51
4	VHDL-Einführung I —	54
4.1	Lernziele —	54
4.2	Syntaxnotation —	54
4.3	Der Aufbau eines VHDL-Modells —	55
4.3.1	Beschreibung einer entity —	56
4.3.2	Aufbau einer architecture —	58
4.3.3	Nebenläufige Signalzuweisungen —	59
4.3.4	Logikoperatoren in VHDL —	60
4.4	Das Konzept von VHDL-Testbenches —	69
4.5	Vertiefende Aufgaben —	72
5	FPGA-Simulation und -Synthese mit Vivado —	74
5.1	Programminstallation —	75
5.2	Konfiguration eines RTL-Projektes in Vivado —	77
5.3	Funktionale Simulation des VHDL-Codes —	82
5.4	Synthese und Implementierung —	86
5.5	Analyse der Schaltungsimplementierung —	90
5.6	Erzeugung der Programmierdatei, Hardwaredownload und Test —	94
6	Zahlensysteme in der Digitaltechnik —	97
6.1	Lernziele —	97
6.2	Polyadische Zahlensysteme —	98
6.3	Umwandlung zwischen Zahlensystemen —	100
6.4	Addition und Subtraktion vorzeichenloser Dualzahlen —	102

6.5	Darstellung negativer Zahlen —	103
6.5.1	Eigenschaften des 2er-Komplementzahlensystems —	105
6.5.2	Addition und Subtraktion im 2er-Komplementzahlensystem —	108
6.6	Darstellung rationaler Zahlen —	111
6.6.1	Festkommadarstellung im Q-Format —	111
6.6.2	Gleitkommadarstellung —	113
6.7	Vertiefende Aufgaben —	114
7	Logikminimierung —	117
7.1	Lernziele —	117
7.2	Minimierung mit KV-Tafeln —	117
7.2.1	Disjunktive Minimalform (DMF) —	118
7.2.2	Konjunktive Minimalform (KMF) —	126
7.2.3	Output-Don't-Care-Terme —	127
7.2.4	Grenzen der zweistufigen Minimierung —	130
7.3	Softwarealgorithmen zur zweistufigen Minimierung —	135
7.3.1	Quine-McCluskey-Algorithmus —	136
7.3.2	Espresso-Algorithmus —	136
7.4	Minimierungskonzepte für FPGAs —	137
7.5	Vertiefende Aufgaben —	139
8	VHDL-Einführung II —	141
8.1	Lernziele —	141
8.2	Das VHDL-Prozesskonzept —	141
8.3	Ereignisgesteuerte Simulatoren —	143
8.4	Verzögerungsmodelle —	147
8.5	Sequenzielle Anweisungen in Prozessen —	149
8.5.1	case-Anweisung —	150
8.5.2	if-Anweisung —	151
8.6	Prozesse ohne Sensitivity-Liste —	155
8.7	Verwendung von Variablen in Prozessen —	156
8.8	Modellierungsbeispiel —	159
8.9	Lesen und Schreiben von Dateien in Testbenches —	163
8.10	Vertiefende Aufgaben —	165
9	Codes —	168
9.1	Lernziele —	168
9.2	Charakterisierung und Klassifizierung —	168
9.3	Zahlencodes —	169
9.4	Code für die Längen- und Winkelmesstechnik —	173
9.5	Methoden der Fehlererkennung und -korrektur —	175
9.6	Vertiefende Aufgaben —	178

10 Physikalische Implementierung und Beschaltung von Logikgattern — 179

- 10.1 Lernziele — **179**
- 10.2 Logikgatter in CMOS-Technologie — **179**
- 10.2.1 CMOS-Technologie und Kennlinien der MOS-Transistoren — **179**
- 10.2.2 Aufbau und Kennlinien eines CMOS-Inverters — **181**
- 10.2.3 Pegelbereiche und Störabstände digitaler Logikfamilien — **184**
- 10.3 Logikzustände und elektrische Pegel — **185**
- 10.4 Statische CMOS-Logikgatter — **187**
- 10.5 Beschaltung von Gatterausgängen — **189**
- 10.5.1 Standardausgang — **189**
- 10.5.2 Open-Drain-/Open-Collector-Ausgang — **190**
- 10.5.3 Three-State-Ausgang — **193**
- 10.6 VHDL-Modellierung mit den Datentypen `std_ulogic`
und `std_logic` — **195**
- 10.6.1 Mehrwertige Datentypen — **195**
- 10.6.2 Datentypen mit Auflösungsfunktion — **196**
- 10.6.3 VHDL-Modellierungsbeispiele — **200**
- 10.7 Vertiefende Aufgaben — **204**

11 Datenpfadkomponenten — 206

- 11.1 Lernziele — **207**
- 11.2 Multiplexer — **207**
- 11.3 Binärzahlendecoder und Demultiplexer — **209**
- 11.4 Prioritätsencoder — **212**
- 11.5 Codeumsetzer — **215**
- 11.6 Komparator — **217**
- 11.7 Hierarchische Strukturmodellierung in VHDL — **218**
- 11.8 Addierer — **221**
- 11.8.1 Halb- und Volladdierer — **221**
- 11.8.2 Ripple-Carry-Addierer — **225**
- 11.8.3 Carry-Lookahead-Addierer — **228**
- 11.8.4 Kombiniertes Addierer/Subtrahierer — **232**
- 11.8.5 Addition von Festkommazahlen im Q-Format — **233**
- 11.9 Hardwaremultiplizierer — **234**
- 11.10 Arithmetik in VHDL — **237**
- 11.11 Vertiefende Aufgaben — **242**

12 Latches und Flipflops in synchronen Schaltungen — 245

- 12.1 Lernziele — **246**
- 12.2 Das RS-Latch — **247**
- 12.2.1 Basis-RS-Latch — **247**
- 12.2.2 Taktzustandsgesteuertes RS-Latch — **253**

12.3	Das D-Latch (Data-Latch) —	255
12.4	D-Flipflops —	257
12.5	JK-Flipflop —	268
12.6	T-Flipflop —	270
12.7	Zweisppeicher-Flipflops —	271
12.8	RTL-Modellierung synchroner Schaltungen —	273
12.9	Zusammenfassung —	276
12.10	Vertiefende Aufgaben —	277
13	FPGA-Entwurf synchroner Schaltungen mit Vivado —	282
13.1	FPGA-Technologien —	284
13.1.1	Grundkomponenten kombinatorischer und sequenzieller Logik in FPGAs —	286
13.1.2	Die Architektur von SRAM-basierten FPGAs —	286
13.1.3	Technologische Entwicklungstrends bei FPGAs —	292
13.2	FPGA-Entwurf synchroner Schaltungen mit Vivado —	294
13.2.1	Funktionale Simulation mit Vivado —	296
13.2.2	VHDL-Synthese und Implementierung —	298
13.2.3	Statische Timing-Analyse —	301
13.2.4	Post-Implementation-Timing-Simulation —	305
13.2.5	Programmierung des FPGAs —	310
13.3	Externe Beschaltung des FPGAs —	310
13.3.1	Analyse von Output-Constraints —	310
13.3.2	Analyse von Input-Constraints —	314
13.4	Hardware Debugging —	315
13.4.1	Debug-Vorbereitungen in Vivado —	316
13.4.2	Implementierung der zu analysierenden Schaltung —	319
13.4.3	Debug-Analyse mit Vivado —	320
13.5	Arithmetikhardware in FPGAs —	323
14	Entwurf synchroner Zustandsautomaten —	329
14.1	Lernziele —	329
14.2	Formale Beschreibung von Zustandsautomaten —	330
14.3	Entwurf eines Geldwechselautomaten —	333
14.3.1	Realisierung als Mealy-Automat —	333
14.3.2	Realisierung als Moore-Automat —	344
14.3.3	Medwedew-Automatenstruktur —	350
14.4	Impulsfolgeerkennung mit Zustandsautomaten —	351
14.4.1	Implementierung als Moore-Automat —	351
14.4.2	Implementierung als Mealy-Automat —	354
14.5	Kopplung von Zustandsautomaten —	358
14.6	Vertiefende Aufgaben —	360

15 Entwurf von Synchronzählern — 362

- 15.1 Lernziele — 362
- 15.2 Manuelle Implementierung von Zählern — 363
 - 15.2.1 Abhängigkeitsnotation — 363
 - 15.2.2 mod-5-Zähler — 366
 - 15.2.3 mod-4-Vorwärts-/Rückwärtszähler — 371
- 15.3 Standardzähler — 377
 - 15.3.1 Systematischer VHDL-Entwurf von Zählern — 377
 - 15.3.2 Kaskadierung von Standardzählern — 382
- 15.4 Vertiefende Aufgaben — 384

16 Schieberegister — 388

- 16.1 Lernziele — 388
- 16.2 Arbeitsweise von Schieberegistern — 388
- 16.3 Serien-Parallel-Umsetzer — 390
- 16.4 Parallel-Serien-Umsetzer — 393
- 16.5 Zähler mit Schieberegistern — 396
 - 16.5.1 Ringzähler — 396
 - 16.5.2 Johnson-Zähler — 399
- 16.6 Linear rückgekoppelte Schieberegister — 401
- 16.7 Dynamisch adressierbare Schieberegister — 404
- 16.8 Vertiefende Aufgaben — 407

17 Kommunikation zwischen digitalen Teilsystemen — 409

- 17.1 Lernziele — 409
- 17.2 Kopplung von Signalen in zueinander synchronen Taktdomänen — 410
 - 17.2.1 Impulsverkürzung — 410
 - 17.2.2 Impulsverlängerung — 411
- 17.3 Synchronisation asynchroner Eingangssignale — 416
 - 17.3.1 Synchronisation langer Eingangsimpulse — 416
 - 17.3.2 Synchronisation kurzer Eingangsimpulse — 420
 - 17.3.3 Asynchrone Resets — 421
- 17.4 Datenaustausch zwischen Teilsystemen — 424
 - 17.4.1 Synchrone Datenübertragung — 425
 - 17.4.2 Asynchrone Datenübertragung — 428
- 17.5 Der AXI4-Interface-Standard — 439
 - 17.5.1 Übersicht — 439
 - 17.5.2 Das AXI4-Stream Interface — 440
- 17.6 Implementierung eines FIR-Filter-IPs mit AXI4-Streaming-Schnittstelle — 442
 - 17.6.1 VHDL-Modelle für FIR-Filter mit linearem Phasengang — 443
 - 17.6.2 AXI4-Streaming-Schnittstellen in Vivado — 451
 - 17.6.3 Verifikation des FIR-IPs — 462

17.7 Vertiefende Aufgaben — 468

18 Digitale Halbleiterspeicher — 469

- 18.1 Lernziele — 469
- 18.2 Übersicht — 469
 - 18.2.1 Klassifizierung — 469
 - 18.2.2 Speicherstrukturen — 471
 - 18.2.3 Kenngrößen — 472
- 18.3 Nichtflüchtige Speicher — 473
 - 18.3.1 Maskenprogrammierbares ROM — 474
 - 18.3.2 PROM — 475
 - 18.3.3 EPROM — 476
 - 18.3.4 EEPROM und Flash-EEPROM — 477
 - 18.3.5 Instanziierung von ROM-Strukturen durch VHDL-Code — 478
- 18.4 Flüchtige Speicher — 480
 - 18.4.1 SRAMs — 480
 - 18.4.2 DRAMs — 483
 - 18.4.3 SDRAM und DDR-RAM — 486
 - 18.4.4 Modellierung von SRAM-Speichern in VHDL — 487
- 18.5 FIFO-Speicher — 493
- 18.6 Speichererweiterung — 500
- 18.7 Vertiefende Aufgaben — 503

19 Programmierbare Logik — 506

- 19.1 Lernziele — 506
- 19.2 PLD-Architekturen — 506
- 19.3 SPLDs — 508
 - 19.3.1 PROM-Speicher — 508
 - 19.3.2 PLAs — 512
 - 19.3.3 PALs — 512
- 19.4 CPLDs — 519
- 19.5 Vertiefende Aufgaben — 523

20 Anhang — 524

- 20.1 Erweiterungen durch den Standard VHDL-2008 — 524
- 20.2 Hinweise zur Verwendung von ModelSim — 542
 - 20.2.1 ModelSim-Hilfesystem — 542
 - 20.2.2 Entwicklungsablauf mit ModelSim — 543
- 20.3 VHDL-Codierungsempfehlungen — 554

Literaturverzeichnis — 559

Stichwortverzeichnis — 562

