

Vorwort

Das vorliegende Buch entstand in seiner ersten Auflage aus einer Neubewertung der Lehrinhalte der Fächer „Digitaltechnik“ und „Entwurf Digitaler Systeme“ an den Departments Informations- und Elektrotechnik sowie Informatik der HAW-Hamburg. Diese hatte zum Ergebnis, den Studierenden die Hardwarebeschreibungssprache VHDL (Very High Speed Integrated Circuit **H**ardware **D**escription **L**anguage) nicht als eigenständige Lehrveranstaltung sondern parallel zur Digitaltechnik zu vermitteln, um darauf aufbauend in den weiteren Lehrveranstaltungen Systementwürfe gestalten zu können. Ein besonderes Ziel dieser Lehrveranstaltungen war es, den bekannten Beschreibungsformen für Elemente der Digitaltechnik einen VHDL-Modellierungsansatz gegenüberzustellen. Besonderen Wert legten wir daher auf die Kombination aus Hardwarebeschreibung, Funktionsprüfung durch Simulation und Analyse der Synthese- bzw. Implementierungsergebnisse. Den synthesefähigen Hardwarebeschreibungen der ausgewählten Funktionselemente wurden, soweit erforderlich, die digitaltechnischen bzw. bei den komplexeren Anwendungen auch die Grundlagen der systemtheoretischen Entwurfsprinzipien zur Seite gestellt.

Der Verkaufserfolg sowie die sehr positiven Rückmeldungen der Leser zu den bisherigen Auflagen der „VHDL-Synthese“ gab uns mit diesem Ansatz Recht und war uns Ansporn für eine kontinuierliche Weiterentwicklung der Inhalte bis zu der nun vorliegenden, vollständig überarbeiteten 8. Auflage.

So wurden bereits in den letzten Auflagen unterschiedliche Systeme ergänzt bzw. überarbeitet, in denen die in den Kap. 1 bis 7 erlernten Grundlagen an konkreten Aufgabenstellungen vertieft werden. Diese reichen vom Entwurf eines einfachen RISC-Prozessors in Kap. 9 über die Implementierung digitaler Filter in Kap. 10 bis hin zur Implementierung von Zustandsdifferenzgleichungen für Beobachter in Kap. 11, die für digitale Regelungen z.B. in der elektrischen Antriebstechnik zum Einsatz kommen.

Als Ergänzung zu den bisherigen Auflagen wird in dieser 8. Auflage des Lehrbuchs die Vorgehensweise zur Simulation der VHDL-Entwürfe mit dem Simulationscompiler ModelSim PE [59] erläutert. Auch werden nun die FPGA-Syntheseergebnisse des für moderne FPGAs der Fa. Xilinx zu geeigneten Implementierungswerkzeugs Vivado [113] dargestellt. Dazu finden sich schon in dem stark überarbeiteten Kap. 2 einführende Beispiele, die den praktischen Umgang mit diesen Werkzeugen erleichtern und Sie noch einfacher in die Lage versetzen sollen, die vorgestellten VHDL-Codes selbst nachzuvollziehen.

In dem neuen Kap. 6 werden Ihnen einige für das Verständnis von FPGA-Implementierungen notwendige Grundlagen von SRAM-basierten FPGAs vermittelt und es werden exemplarisch die mit Vivado erzielten Synthese- und Implementierungsergebnisse getakteter Schaltungen speziell vor dem Hintergrund der Analyse kritischer Timing-Pfade analysiert. Die Implementierungsergebnisse werden nun für einen modernen Artix-7-FPGA vorgestellt.

Mit diesen Schwerpunkterweiterungen einher geht die Namensänderung des Buchtitels, der nun die VHDL-Simulation explizit beinhaltet. Zugleich folgen wir damit dem beobachtbaren Technologietrend, wonach CPLDs zunehmend durch FPGAs abgelöst werden.

Als Zielgruppe für das Lehrbuch sehen wir zunächst die Studierenden der Elektrotechnik und der Informatik an Hochschulen und Universitäten. Es ist gerade mit seinen Erweiterungen zur Modellierung komplexerer Systeme in den Kapiteln 9-11 aber ebenso auf Entwicklungsingenieure¹ in der Praxis ausgerichtet, die erstmalig einen VHDL-basierten Digitalentwurf beabsichtigen.

Wir danken unseren Studierenden, die durch vielfältige Diplom-, Bachelor- und Master-Arbeiten über viele Jahre hinweg wertvolle Beiträge zur systematischen Weiterentwicklung dieses Lehrbuches beigetragen haben. Unser Dank gilt auch den Lesern der bisherigen Auflagen, die uns wertvolle Korrekturhinweise gegeben haben.

Hamburg, März 2020

J. Reichardt

B. Schwarz

¹ Wir bitten die Leserinnen um Verständnis, dass wir im Folgenden die männlichen Berufsbezeichnungen verwenden. Wir haben uns wegen der Kürze und der unseres Erachtens besseren Lesbarkeit für diese Formulierungen entschieden.