

# Inhaltsverzeichnis

<b>Zum Geleit</b>	<b>5</b>
<b>Vorwort</b>	<b>7</b>
<b>Einleitung</b>	<b>15</b>
Die Erfindung des Transistors . . . . .	15
Wieso systematisches Entwerfen ? . . . . .	18
Rechnergestützter Entwurf . . . . .	19
Regularität und Hierarchie . . . . .	20
<b>1 MOS Basiszellen</b>	<b>21</b>
1.1 MOS-Transistoren . . . . .	22
1.1.1 Physikalische Realisierung eines Transistors . . . . .	22
1.1.2 Leitfähigkeit der MOS Transistoren . . . . .	24
1.2 CMOS Basiszellen . . . . .	26
1.2.1 CMOS Schalter . . . . .	26
1.2.2 Inverter (Nicht-Gatter) . . . . .	26
1.2.3 NAND-Gatter . . . . .	27
1.2.4 NOR-Gatter . . . . .	28
1.2.5 Mischgatter . . . . .	28
1.2.6 Multiplexer . . . . .	29
1.2.7 Flipflops . . . . .	30
1.3 (Pseudo) nMOS Logik . . . . .	31
1.4 Aufgaben . . . . .	33
<b>2 Entwurfsebenen und Verhaltensmodelle</b>	<b>35</b>
2.1 Einführung . . . . .	35
2.2 Hierarchie und Entwurfsebenen . . . . .	37
2.2.1 Hintergrund . . . . .	37
2.2.2 Der hierarchische Entwurf . . . . .	38
2.2.3 Entwurfsebenen und Verhaltensmodelle . . . . .	40
2.2.4 Das Transistormodell . . . . .	44

2.2.5	Das Schaltermodell . . . . .	46
2.2.6	Das Gatter-Modell . . . . .	48
2.2.7	Die Register-Transfer Ebene . . . . .	49
2.3	ASIC . . . . .	50
2.3.1	Der Semi-Custom Entwurf . . . . .	52
2.3.2	Die Entwurfsstile . . . . .	53
2.3.3	Hardware- und Software-Komponenten . . . . .	60
2.3.4	Ablauf eines Entwurfs . . . . .	68
2.3.5	Der Einsatz von ASIC's . . . . .	74
3	Entwurf komplexer Schaltungen . . . . .	77
3.1	Einführung . . . . .	77
3.2	Ein Netzkalkül für integrierte Schaltungen . . . . .	79
3.3	Beispiel: Entwurf einer einfachen ALU . . . . .	91
3.4	Beispiel: Entwurf schneller Addierer . . . . .	104
3.5	Beispiel: Entwurf schneller Multiplizierer . . . . .	115
3.6	Aufgaben . . . . .	122
4	Krause Logik . . . . .	125
4.1	Problemstellung einer Ampelsteueranlage . . . . .	126
4.2	Beschreibung krauser Logik . . . . .	128
4.2.1	Endliche Automaten . . . . .	128
4.2.2	Logikbeschreibung der Ampelanlage . . . . .	130
4.2.3	Übersetzung in boolesche Ausdrücke . . . . .	130
4.3	PLA-Realisierung endlicher Automaten . . . . .	134
4.3.1	Programmierbare logische Felder . . . . .	134
4.3.2	PLA für die Ampelsteueranlage . . . . .	138
4.3.3	Aufgaben . . . . .	141
4.4	Test von PLA's . . . . .	141
4.4.1	Das Fehlermodell . . . . .	142
4.4.2	Entwurf von leicht testbaren PLA's . . . . .	143
4.4.3	Ein vollständiger Test . . . . .	146
4.4.4	Aufgaben . . . . .	151
4.5	Abänderbare PLA's . . . . .	153
4.5.1	Aufgaben . . . . .	155
4.6	Weinberger Arrays . . . . .	155
4.6.1	Aufgaben . . . . .	159
5	Rechnergestützte Analyse . . . . .	161
5.1	Einführung . . . . .	161
5.2	Strukturanalyse . . . . .	162
5.3	Verhaltensanalyse . . . . .	164

<b>6</b>	<b>Rechnergestützte Synthese in Semi-Custom Systemen</b>	<b>173</b>
6.1	Plazierung bei Gate-Arrays und Standardzellen . . . . .	177
6.1.1	Minimierung der max. Netzdichte innerhalb der Zeilen . .	177
6.1.2	Minimierung der max. Netzdichte zwischen den Zeilen . .	179
6.1.3	Weitere Plazierungstechniken . . . . .	180
6.2	Globales Verdrahten bei Standardzellen und Gate-Arrays . . . .	182
6.3	Plazierung im Makrozellen- und Sea-of-Gates Konzept . . . . .	190
6.4	Globales Verdrahten bei Makrozellen und Sea-of-Gates . . . . .	192
6.5	Lokales Verdrahten . . . . .	194
6.5.1	Labyrinthrouter und Liniensuchalgorithmen . . . . .	195
6.5.2	Channelrouter . . . . .	200
<b>7</b>	<b>Syntheseverfahren bei logisch topologischen Netzen</b>	<b>215</b>
7.1	Datenstrukturen für logisch topologische Netze . . . . .	216
7.1.1	Darstellung durch abstrakte Syntaxbäume . . . . .	216
7.1.2	Darstellung durch erweiterte planare Graphen . . . . .	218
7.2	Generierung der Stromversorgung . . . . .	219
7.2.1	Generierung der Topologie . . . . .	222
7.2.2	Dimensionierung der Leiterbreiten . . . . .	227
7.3	Schichtzuweisung an die Verbindungswege . . . . .	238
7.3.1	Anforderungen an die Schichtzuweisung . . . . .	239
7.3.2	Zusammenfassung der bekannten Resultate . . . . .	241
7.3.3	Strukturelle Eigenschaften von CVM <sub>2</sub> . . . . .	242
7.3.4	CVM <sub>2</sub> bei vorgegebener Spannungsversorgung . . . . .	253
7.3.5	Heuristischer Algorithmus zu CVM <sub>2</sub> . . . . .	253
7.4	Lokale Plazierung und Verdrahtung . . . . .	259
7.4.1	Kanalverdrahtung in einer Schicht . . . . .	261
7.4.2	Verallgemeinerungen auf mehrere Lagen . . . . .	278
7.4.3	Optimale Plazierung für Einschichtkanalverdrahtung . . .	280
7.4.4	Bestimmung ausgeglichener Plazierungen . . . . .	293
7.4.5	Optimieren des Zusammenbauschnittes . . . . .	309
7.4.6	Aufgaben . . . . .	312
<b>8</b>	<b>Ausnutzung der Hierarchie</b>	<b>313</b>
8.1	Hierarchische Verfahren . . . . .	315
8.2	Eine hierarchische Darstellung . . . . .	316
8.3	Kontextfreie bottom-up Verfahren . . . . .	318
8.4	Kontextsensitive bottom-up Verfahren . . . . .	319
8.4.1	Schichtzuweisung an systolische Felder . . . . .	320
8.4.2	Schichtzuweisung an Bitslice Architekturen . . . . .	323
8.5	Verfeinernde Verfahren . . . . .	325
8.6	Über die Güte hierarchischer Verfahren . . . . .	327
8.7	Weitere Beispiele hierarchischer Verfahren . . . . .	331
8.8	Aufgaben . . . . .	334

<b>Literatur</b>	<b>335</b>
<b>Index</b>	<b>347</b>