

Inhaltsverzeichnis

- 1 Einleitung.....1**
- 2 Technologische Entwicklung.....7**
 - 2.1 Ein kurzer Vergleich mit anderen Schaltungstechniken.....8
 - 2.2 Entwicklung der Integration von MOS-Schaltungen..... 11
 - 2.3 Entwicklung der Entwurfsautomatisierung..... 21
- 3 MOS-Grundsaltungen..... 27**
 - 3.1 Elektrische Grundlagen..... 27
 - 3.1.1 Elektrischer Widerstand 31
 - 3.1.2 Kapazität..... 33
 - 3.2 Der Feldeffekttransistor..... 36
 - 3.2.1 Leitung in Halbleitern..... 39
 - 3.2.2 Der MOS-Kondensator 41
 - 3.2.3 Der MOS-Transistor 44
 - 3.2.4 Der Body-Effekt..... 49
 - 3.3 Schaltungstechniken 49
 - 3.4 nMOS-Schaltungen 56
 - 3.4.1 Der nMOS-Inverter..... 57
 - 3.4.2 Der Lastwiderstand..... 64
 - 3.4.3 nMOS-Treiber 65
 - 3.4.4 nMOS-Logikschaltungen..... 68
 - 3.4.5 Pass-Transistor-Logik..... 70
 - 3.4.6 Speicher 71
 - 3.5 CMOS-Schaltungen..... 73
 - 3.5.1 Der CMOS-Inverter 74
 - 3.5.2 Eingangs-/Ausgangsschaltungen 78
 - 3.5.3 CMOS-Logikschaltungen 79
 - 3.5.4 Transmission-Gate 80
 - 3.6 Dynamische CMOS-Schaltungen..... 81
- 4 Entwurfsstil..... 85**
 - 4.1 Voll-kundenspezifische Schaltungen..... 86
 - 4.2 Entwurf mit Zellen..... 88
 - 4.2.1 Makrozellen 88
 - 4.2.2 Standardzellen 90
 - 4.3 Entwurf mit Arrays..... 92
 - 4.3.1 Gate-Arrays 92
 - 4.3.2 Sea-of-Gates 94
 - 4.3.3 PLA 95
 - 4.4 Programmierbare Schaltungen..... 97
 - 4.5 Vergleich 99

5	Einführung in die Entwurfsautomatisierung	103
5.1	Die Darstellungsbereiche	104
5.1.1	Der Verhaltensbereich	104
5.1.2	Der Strukturbereich	106
5.1.3	Der Geometriebereich	108
5.2	Die Entwurfsebenen	112
5.3	Die Entwurfsaufgaben	113
5.3.1	Synthesewerkzeuge	115
5.3.2	Analysewerkzeuge	116
5.4	Realisierungstechnik	118
5.5	Operations- und Steuerwerk	119
6	Rechnerunterstützte Layout-Erstellung	125
6.1	Layout-Editoren und Datenstrukturen	127
6.1.1	Listen	128
6.1.2	"Bins"	129
6.1.3	"Quad-Tree"	130
6.1.4	Nachbarzeiger-Strukturen	132
6.1.5	"Corner-Stitching"	133
6.2	Layout-Sprachen	135
6.2.1	CIF	137
6.2.2	EDIF	142
6.2.3	In Programmiersprachen eingebettete Layout-Sprachen	145
6.3	Entwurfsregeln	151
6.4	Entwurfsregel-Überprüfung	155
6.5	Symbolisches Layout	158
6.5.1	Darstellung symbolischer Layouts	161
6.5.2	Kompaktierung	161
6.6	Schaltungsextraktion	168
6.7	Überprüfung der elektrischen Regeln	172
6.8	Layout-Synthese	174
6.8.1	Zellgenerierung	175
6.8.2	Floorplanning und Platzierung	177
6.8.2.1	Rechteck-Zerlegung	178
6.8.2.2	Netzlänge	181
6.8.2.3	Partitionierungsalgorithmen für Floorplanning und Platzierung	182
6.8.3	Verdrahtung	194
6.8.3.1	Globale Verdrahtung	195
6.8.3.2	Lokale genaue Verdrahtung	198

7	Masken- und Waferherstellung	207
7.1	Maskenherstellung	209
7.2	Waferherstellung	212
7.2.1	Oxidation	213
7.2.2	Musterübertragung	213
7.2.3	Ionenimplantation	214
7.2.4	Abscheiden	215
7.2.5	Kontaktherstellung	215
7.2.6	Metallisierung	216
7.3	Der Polysilizium-Gate-nMOS-Prozeß	216
7.4	Der Silizium-Gate-CMOS-Prozeß	220
7.5	Ausbeute	226
7.6	Skalierungseffekte	228
7.6.1	Auswirkungen der Skalierung auf Transistoren	229
7.6.2	Auswirkungen der Skalierung auf Leitungen	230
	Literaturverzeichnis	233
	Sachverzeichnis	255