

# **Entwurf und Technologie hochintegrierter Schaltungen**

Von Prof. Dr.-Ing. Hans-Ulrich Post  
Technische Universität Berlin

Mit 186 Bildern und 25 Tabellen



**B. G. Teubner Stuttgart 1989**

## Inhalt

<b>1 Einführung in die Mikroelektronik</b>	<b>13</b>
1.1 Einleitung	13
1.2 Grundbegriffe	15
1.3 Vergleich verschiedener Logikfamilien	17
1.4 Aufgabenbereiche im IC-Entwurf	20
<b>2 MOS-Technologien</b>	<b>21</b>
2.1 Halbleiter	21
2.1.1 Elektronenschalen und Bändermodell	21
2.1.2 Der homogen dotierte Halbleiter	25
2.2 Der pn-Übergang	31
2.3 MOS-Transistormodell	35
2.3.1 Übersicht	35
2.3.2 Strom-Spannungscharakteristik	38
2.3.3 Strom-Spannungs-Kennlinien	41
2.3.4 Modelleweiterungen	42
2.3.5 Kapazitätsmodell	46
2.3.6 Kleinsignal-Parameter	49
2.4 Prozeßtechnik	51
2.4.1 Die Planartechnik	51
2.4.2 Prozeßschritte	52
2.5 MOS-Prozesse	54
2.5.1 Einleitung	54
2.5.2 Metall-Gate-p-Kanal-Technologie	54
2.5.3 Silizium-Gate-n-Kanal-Technologie	56
2.5.4 CMOS-Technologie	57
2.5.5 CMOS-Mischtechnologie	61
2.6 Latch-up-Effekt	62
2.7 Vergleich der MOS-Technologie-Generationen	63
<b>3 Layout</b>	<b>65</b>
3.1 Einleitung	65
3.2 Layoutregeln	65

3.3	Elektrische Parameter	70
3.4	Laufzeiten auf RC-Leitungen	75
3.5	Layoutstrukturen	77
<b>4</b>	<b>Entwurf logischer Grundgatter</b>	<b>79</b>
4.1	Allgemeine Entwurfsaspekte	79
4.2	Einkanal-MOS-Technik	86
4.2.1	Enhancement-Last-Inverter	86
4.2.2	Depletion-Last-Inverter	88
4.2.3	NOR- und NAND-Gatter mit Depletion-Last	89
4.3	CMOS-Technik	91
4.3.1	CMOS-Inverter	91
4.3.2	NAND- und NOR-Gatter in CMOS-Technik	92
4.3.3	Transmission-Gate	94
4.3.4	Pseudo-NMOS-Technik	96
4.4	BICMOS-Technik	97
<b>5</b>	<b>Schaltzeiten, Verlustleistung und Störabstände</b>	<b>100</b>
5.1	Einleitung	100
5.2	Depletion-Last-Inverter	103
5.3	CMOS-Inverter	110
<b>6</b>	<b>Integrationsgerechte Schaltungsoptimierung</b>	<b>116</b>
6.1	Einleitung	116
6.2	Kombination von Logikgattern	116
6.3	Transfer-(Transmission-)Gate Logik	121
6.4	Dynamische Logik	123
6.4.1	Überblick	123
6.4.2	Zweiphasentechnik	124
6.4.3	Vierphasentechnik	125
6.4.4	CMOS-Domino-Logik	126
6.4.5	Quasistatische Speicherung	128
<b>7</b>	<b>VLSI-Entwurfsstile</b>	<b>131</b>
7.1	Einleitung	131

<b>7.2</b>	<b>Vollkunden-Entwurf</b>	<b>132</b>
<b>7.3</b>	<b>Semikunden-Entwurf</b>	<b>133</b>
7.3.1	Übersicht	133
7.3.2	Gate-Array-Technik	134
7.3.3	Standardzellentechnik	141
<b>7.4</b>	<b>Vergleich der VLSI-Entwurfsstile</b>	<b>144</b>
<b>8</b>	<b>CAD für den VLSI-Entwurf</b>	<b>148</b>
<b>8.1</b>	<b>Überblick</b>	<b>148</b>
8.1.1	Einleitung	148
8.1.2	Rechnergestützter Entwurf (CAD)	150
8.1.3	Rechnergestützte Fertigung (CAM)	153
8.1.4	Rechnergestützter Test (CAT)	153
8.1.5	Integrierte Entwurfsumgebung	154
<b>8.2</b>	<b>Simulation</b>	<b>155</b>
8.2.1	Simulationsebenen	155
8.2.2	Schaltungssimulation	157
8.2.3	Logiksimulation	166
8.2.4	Schalter-Simulation	173
8.2.5	Register-Transfer-Simulation	177
<b>8.3</b>	<b>Layoutentwurf</b>	<b>179</b>
8.3.1	Einleitung	179
8.3.2	Handlayout	179
8.3.3	Symbolisches Layout	180
8.3.4	Das Caltech Intermediate Format	181
8.3.5	Layout-Verifikation	187
<b>9</b>	<b>VLSI-Systementwurf</b>	<b>191</b>
<b>9.1</b>	<b>Hierarchischer Entwurf</b>	<b>191</b>
<b>9.2</b>	<b>Strukturen für Steuerwerke</b>	<b>192</b>
9.2.1	Überblick	192
9.2.2	Festwertspeicher-Logik	193
9.2.3	Programmierbare Logische Anordnung	196
<b>9.3</b>	<b>Speicher mit wahlfreiem Zugriff</b>	<b>201</b>
9.3.1	Einleitung	201
9.3.2	Speicherorganisation	202
9.3.3	Schreib-/Lesespeicher (RAM)	203
9.3.4	Dekodierer	205
9.3.5	Leseverstärker	207

<b>10 Fertigungsgerechter Entwurf</b>	<b>211</b>
10.1 Einleitung	211
10.2 Erfassung der Transistorparameter	211
10.3 Einfluß der Parametertoleranzen	215
10.3.1 Entwurfsproblematik	215
10.3.2 Einfluß der Taktfrequenz	216
10.3.3 Einfluß der elektrischen Transistorparameter	217
10.3.4 Einfluß der Betriebsparameter	218
10.4 Fertigungsüberleitung	220
<b>11 Testverfahren für integrierte Schaltungen</b>	<b>222</b>
11.1 Das Testproblem	222
11.2 Haftfehlermodell	222
11.3 D-Algorithmus	222
11.4 Testverfahren	223
<b>12 Chip-Engineering</b>	<b>226</b>
12.1 Einleitung	226
12.2 Ein-/Ausgangs-Beschaltung	226
12.3 Fertigungshilfen und Teststrukturen	232
12.4 Chipmontage	235
<b>13 Ausblick</b>	<b>236</b>
13.1 Zusammenfassung des derzeitigen Chipentwurfs	236
13.2 Ausbeute, Kosten	237
13.3 Trends und zukünftige Entwicklungen	238
13.3.1 Übersicht	238
13.3.2 Technologische Aspekte	239
13.3.3 Schaltungstechnische Aspekte	241
<b>Literaturverzeichnis</b>	<b>242</b>
<b>Sachverzeichnis</b>	<b>245</b>