

Inhaltsverzeichnis

1	Einführung in die Designtechnik für integrierte Schaltungen	1
1.1	Anwendertechniken der digitalen Elektronik	2
1.2	Der Prozeß der Problemlösung	6
1.2.1	Phasenmodell des Problemlösungsprozesses	6
1.2.2	CAD-Werkzeuge beim Problemlösungsprozeß	12
1.3	Entwicklungsbeispiel ADUS	12
1.4	HW-Methode versus SW-Methode	20
1.4.1	Entwurfsebenen	21
1.4.2	Vorgehen bei der Verifikation	22
1.4.3	Testvorbereitung	23
1.4.4	Produktion	23
1.5	Der IC-Designprozeß als Problemlösungsprozeß	25
1.5.1	Allgemeiner IC-Designprozeß	26
1.5.2	Modelle und Bibliotheken	31
1.5.3	Technologieabhängigkeit	40
1.5.4	Verifikation	43
1.5.5	Standard-IC-Designprozeß	46
1.6	Einführung in die Standardmethoden des Layoutdesigns	54
1.6.1	Zellenschema	54
1.6.2	Anordnungs- und Verbindungsschema	57
1.6.3	Nutzungsschema	58
1.6.4	Verträglichkeit	60
1.6.5	Anwenderspezifische Definition von ICs und Zellen: Begriffsübersicht	62
1.7	Begriffliche Interpretationen	63
	Literatur zu Kapitel 1	66
2	Einführung in die Halbleitertechnologie für integrierte Schaltungen	67
2.1	Überblick	68
2.2	Bauelemente und Technologie	74
2.2.1	Der Bipolartransistor	74
2.2.2	Der MOS-Transistor	78
2.3	Bipolare Halbleiterschaltungen	81
2.3.1	Bipolare Logikschaltungen	81
2.3.2	Bipolare Speicher	85

2.4	MOS-Halbleiterschaltungen	87
2.4.1	MOS-Logikschaltungen	87
2.4.2	MOS-Halbleiterspeicher	93
2.5	Analoge MOS-Schaltungen	99
2.5.1	Analogzellen	99
2.5.2	Analog-Digital-Mix	101
2.6	Montage und Gehäuse	101
	Literatur zu Kapitel 2	103
3	Layoutdesignmethoden	105
3.1	Zellenorientierte Designmethoden	105
3.1.1	Standarddesignmethoden mit Bibliotheken	105
3.1.2	Entflechtungsverfahren	108
3.2	Die Gate-Array-Designmethode	109
3.2.1	Grundzellen und ihre Anordnung auf dem Master	110
3.2.2	Entflechtung eines Gate-Array-Entwurfs	112
3.2.3	ECL-Gate-Arrays	112
3.3	Zellenorientierte Designmethoden ohne Vorfertigung	115
3.4	Standardzellen	115
3.4.1	Ausprägung von Standardzellen	126
3.4.2	Entflechtung eines Standardzellenentwurfs	127
3.5	Makrozellen	127
3.5.1	Ausprägung von Makrozellen	127
3.5.2	Hierarchiebildung	129
3.5.3	Entflechtung eines Makrozellenentwurfs	130
3.6	Anwenderspezifische Zellen	131
3.6.1	Einfache parametrisierbare Zellen	131
3.6.2	Funktional parametrisierbare Zellen	132
3.7	Freie Makrozellen und manuelles Layout	134
3.7.1	Manuelles Layout	135
3.7.2	Geometrische Designregeln	137
3.7.3	Regulärer Entwurf	138
3.7.4	Symbolisches Layout	138
3.7.5	Layout nach dem Gate-Matrix-Verfahren	139
3.8	Besonderheiten beim Layout mit analogen Zellen	142
	Literatur zu Kapitel 3	142
4	Prüftechnische Konzepte	144
4.1	Einführung in die Prüfproblematik	144
4.1.1	Prüfstrategie	145
4.1.2	Fehler und Fehlermodelle	149
4.1.3	Phasen der Prüftechnik im IC-Designprozeß	151
4.2	Prüffreundlicher Entwurf	152
4.2.1	Entwurf nach prüftechnischen Entwurfsregeln	152
4.2.2	Ad-Hoc-Techniken	156

4.2.3	Strukturierte Verfahren	160
4.2.3.1	Scan Path	160
4.2.3.2	Random Access-Scan	163
4.2.4	Prüffreundlicher Entwurf mit VENUS	165
4.3	Werkzeuge für den prüffreundlichen Entwurf	165
4.3.1	Prüfbarkeitsanalyse mit VENUS	166
4.3.2	Prüfregelkontrolle mit VENUS	167
4.4	Erstellen der Prüfunterlagen	168
4.4.1	Generierung der Eingangsstimuli	168
4.4.2	Erstellen und Bewerten der Prüfmuster	169
4.4.3	Prüfprogrammgenerierung	170
4.4.4	Prüfvorbereitung mit VENUS	170
4.5	Werkzeuge zur Prüfung	174
4.5.1	Labormeßplatz	174
4.5.2	Elektronenstrahlmeßgerät	175
4.5.3	Testautomat	176
4.6	Selbsttest	178
4.6.1	Stimuligeneratoren	179
4.6.2	Testantwortauswerter	180
	Literatur zu Kapitel 4	181
5	Zellen und Bibliotheken	183
5.1	Einsatz der Zellenbibliothek	183
5.1.1	Funktionaler Umfang	183
5.1.1.1	CMOS-Bibliotheken	184
5.1.1.2	ECL-Bibliothek	188
5.1.2	Aufbau der Datenblätter	192
5.1.3	Auszug aus dem Zellenkatalog der A/B-Familien	200
5.1.4	Datenblatt G-Familie	233
5.1.5	Datenblätter der K- und F-Familien	235
5.1.6	Datenblatt Z-Familie	239
5.2	Entwicklung der Zellenbibliotheken	243
5.2.1	Zielvorgaben und Zellenkonzept	243
5.2.2	Erstellung der Modellbibliotheken	246
5.2.3	Entwicklungsablauf	250
5.2.4	Besonderheiten bei der Entwicklung anwenderspezifischer Zellen	250
5.2.5	Qualitätssicherung	253
5.2.6	Qualitätsstand	256
	Literatur zu Kapitel 5	256
6	Einsatz des Entwurfssystems VENUS	257
6.1	Überblick	257
6.2	Kunden/Hersteller-Schnittstellen	260
6.3	Organisatorische Vorbereitung des VENUS-Einsatzes	272

6.4	Technische Vorbereitung des VENUS-Einsatzes	276
6.5	Verfahrensschritte des rechnergestützten Bausteinentwurfs mit VENUS	280
6.5.1	Auswahl von Zellenbibliothek und Master	280
6.5.2	Systeminitialisierung	282
6.5.3	Logikplanerfassung am Graphikterminal eines Arbeitsplatzrechners	283
6.5.4	Netzlistenübertragung in den Zentralrechner, Errichten und Bearbeiten der projektbezogenen Datenhaltung	287
6.5.5	Logikverifikation	289
6.5.6	Prüfbarkeitsanalyse	293
6.5.7	Chipkonstruktion	294
6.5.8	Layoutanalyse und Resimulation	297
6.5.9	Fertigungsdatenerstellung	303
6.5.10	Prüfdatenerstellung	305
6.6	Musterherstellung	308
6.7	Test	311
	Literatur zu Kapitel 6	312
7	Ausblick	313
7.1	Funktionsumfang	314
7.2	Aspekte zur Breitenanwendung	318
7.3	Einbettung in den Systementwurf	320
7.4	Einbettung in die Technologieentwicklung	324
	Anhang: Glossar	328
	Sachverzeichnis	331