

# Inhaltsverzeichnis

<b>Vorwort zur 2. Auflage</b>	<b>V</b>
<b>1 Einleitung</b>	<b>1</b>
1.1 Die Hardwarebeschreibungssprache VHDL .....	3
1.2 Digitale und Analoge Signale.....	4
1.3 Digitale Systeme .....	5
1.4 Gliederung des Buches.....	8
1.5 Vertiefende Aufgaben .....	9
<b>2 Modellierung digitaler Schaltungen</b>	<b>11</b>
2.1 Lernziele.....	11
2.2 Entwurfssichten und Abstraktionsebenen .....	11
2.3 Modellierung mit Hardwarebeschreibungssprachen .....	14
2.3.1 Datenflussmodelle.....	15
2.3.2 Strukturmodelle.....	15
2.3.3 Verhaltensmodelle.....	16
2.4 Kombinatorische und getaktete Logik.....	16
2.4.1 Eigenschaften kombinatorischer Logik.....	17
2.4.2 Eigenschaften getakteter Logik .....	17
2.4.3 Modellierung auf Register-Transfer-Ebene .....	18
2.5 Entwurfsmethodik für programmierbare digitale Schaltungen .....	19
2.6 Vertiefende Aufgaben .....	20
<b>3 Boole'sche Algebra</b>	<b>21</b>
3.1 Lernziele.....	21
3.2 Schaltvariable und Schaltfunktionen, Signale .....	21
3.3 Elementare Schaltfunktionen.....	22
3.3.1 Die NICHT-Schaltfunktion (Inversion).....	23
3.3.2 Die UND-Schaltfunktion (Konjunktion).....	23
3.3.3 Die ODER-Schaltfunktion (Disjunktion).....	24
3.3.4 Boole'sche Funktionen mit mehreren Eingängen.....	24

3.4	Rechenregeln der Schaltalgebra .....	25
3.4.1	Theoreme .....	25
3.4.2	Kommutativgesetze .....	26
3.4.3	Assoziativgesetze .....	26
3.4.4	Distributivgesetze .....	27
3.4.5	De Morgan'sche Gesetze .....	28
3.4.6	Vereinfachungsregeln .....	28
3.5	Vollständige Systeme .....	29
3.5.1	Das Dualitätsprinzip .....	29
3.5.2	NAND- und NOR-Gatter .....	30
3.6	Normalformen .....	32
3.6.1	Disjunktive Normalform (DNF) .....	33
3.6.2	Konjunktive Normalform (KNF) .....	33
3.7	Realisierung von Schaltfunktionen mit Wahrheitstabellen .....	34
3.7.1	SOP- und POS-Darstellungen von Wahrheitstabellen in programmierbaren Bausteinen mit UND/ODER-Logik .....	36
3.7.2	Look-Up-Tabellen .....	36
3.8	XOR- und XNOR-Logik .....	37
3.8.1	SOP- und POS-Darstellungen .....	37
3.8.2	XOR- und XNOR-Regeln und Gesetze .....	37
3.8.3	XOR- und XNOR-Logik mit mehr als zwei Eingängen .....	38
3.9	Vorrangregeln .....	39
3.10	Schaltsymbole .....	40
3.11	Implementierung von Schaltfunktionen mit Multiplexern .....	43
3.12	Analyse von Schaltnetzen .....	45
3.13	Vertiefende Aufgaben .....	47
<b>4</b>	<b>VHDL-Einführung I</b> .....	<b>51</b>
4.1	Lernziele .....	51
4.2	Syntaxnotation .....	51
4.3	Der Aufbau eines VHDL-Modells .....	52
4.3.1	Beschreibung einer entity .....	53
4.3.2	Aufbau einer architecture .....	55
4.3.3	Nebenläufige Signalzuweisungen .....	56
4.3.4	Logikoperatoren in VHDL .....	57
4.4	VHDL-Testbenches .....	64
4.5	Vertiefende Aufgaben .....	67

<b>5</b>	<b>Zahlensysteme in der Digitaltechnik</b>	<b>69</b>
5.1	Lernziele.....	70
5.2	Polyadische Zahlensysteme.....	70
5.3	Umwandlung zwischen Zahlensystemen.....	72
5.4	Addition und Subtraktion vorzeichenloser Dualzahlen.....	74
5.5	Darstellung negativer Zahlen .....	76
5.5.1	Eigenschaften des 2er-Komplementzahlensystems .....	77
5.5.2	Addition und Subtraktion im 2er-Komplementzahlensystem .....	80
5.6	Darstellung rationaler Zahlen .....	82
5.6.1	Festkommadarstellung im Q-Format.....	82
5.6.2	Gleitkommadarstellung .....	85
5.7	Vertiefende Aufgaben .....	86
<b>6</b>	<b>Logikminimierung</b>	<b>89</b>
6.1	Lernziele.....	89
6.2	Minimierung mit KV-Tafeln .....	89
6.2.1	Disjunktive Minimalform (DMF).....	90
6.2.2	Konjunktive Minimalform (KMF) .....	98
6.2.3	Output-Don't-Care-Terme.....	99
6.2.4	Grenzen der zweistufigen Minimierung.....	102
6.3	Softwarealgorithmen zur zweistufigen Minimierung.....	107
6.3.1	Quine-McCluskey-Algorithmus.....	107
6.3.2	Espresso-Algorithmus .....	108
6.4	Minimierungskonzepte für FPGAs.....	109
6.5	Vertiefende Aufgaben .....	110
<b>7</b>	<b>VHDL-Einführung II</b>	<b>113</b>
7.1	Lernziele.....	113
7.2	Das VHDL-Prozesskonzept .....	113
7.3	Ereignisgesteuerte Simulatoren .....	115
7.4	Verzögerungsmodelle.....	118
7.5	Sequenzielle Anweisungen in Prozessen.....	119
7.5.1	case-Anweisung .....	119
7.5.2	if-Anweisung.....	120
7.6	Prozesse ohne Sensitivityliste.....	123
7.7	Verwendung von Variablen in Prozessen.....	124

7.8	Modellierungsbeispiel .....	125
7.9	Vertiefende Aufgaben .....	128
<b>8</b>	<b>Codes</b>	<b>131</b>
8.1	Lernziele .....	131
8.2	Charakterisierung und Klassifizierung .....	131
8.3	Zahlencodes .....	132
8.4	Code für die Längen- und Winkelmesstechnik .....	136
8.5	Methoden der Fehlererkennung und -korrektur .....	138
8.6	Vertiefende Aufgaben .....	141
<b>9</b>	<b>Physikalische Implementierung und Beschaltung von Logikgattern</b>	<b>143</b>
9.1	Lernziele .....	143
9.2	Logikgatter in CMOS-Technologie .....	143
9.2.1	CMOS-Technologie und Kennlinien der MOS-Transistoren .....	143
9.2.2	Aufbau und Kennlinien eines CMOS-Inverters .....	145
9.2.3	Pegelbereiche digitaler Logikfamilien .....	148
9.3	Logikzustände und elektrische Pegel .....	148
9.4	Statische CMOS-Logikgatter .....	151
9.5	Beschaltung von Gatterausgängen .....	152
9.5.1	Standardausgang .....	152
9.5.2	Open-Drain- / Open-Collector-Ausgang .....	153
9.5.3	Three-State-Ausgang .....	156
9.6	VHDL-Modellierung mit den Datentypen std_ulogic und std_logic .....	158
9.6.1	Mehrwertige Datentypen .....	158
9.6.2	Datentypen mit Auflösungsfunktion .....	159
9.6.3	VHDL-Modellierungsbeispiele .....	161
9.7	Vertiefende Aufgaben .....	165
<b>10</b>	<b>Datenpfadkomponenten</b>	<b>167</b>
10.1	Lernziele .....	168
10.2	Multiplexer .....	168
10.3	Binärzahlendecoder und Demultiplexer .....	170
10.4	Prioritätsencoder .....	173
10.5	Code-Umsetzer .....	175
10.6	Komparator .....	177
10.7	Hierarchische Strukturmodellierung in VHDL .....	178

10.8	Addierer.....	180
10.8.1	Halb- und Volladdierer.....	181
10.8.2	Ripple-Carry-Addierer .....	184
10.8.3	Carry-Lookahead-Addierer .....	187
10.8.4	Kombinierter Addierer/Subtrahierer .....	191
10.8.5	Addition von Festkommazahlen im Q-Format.....	191
10.9	Hardware-Multiplizierer.....	192
10.10	Arithmetik in VHDL .....	195
10.11	Vertiefende Aufgaben .....	199
<b>11</b>	<b>Latches und Flipflops in synchronen Schaltungen</b>	<b>203</b>
11.1	Lernziele.....	204
11.2	Das RS-Latch .....	204
11.2.1	Basis-RS-Latch.....	205
11.2.2	Taktzustandsgesteuertes RS-Latch .....	210
11.3	Das D-Latch (Data-Latch).....	212
11.4	D-Flipflops .....	214
11.4.1	Varianten von D-Flipflops.....	219
11.5	JK-Flipflop .....	223
11.6	T-Flipflop .....	224
11.7	Zweisppeicher-Flipflops.....	226
11.8	RTL-Modellierung synchroner Schaltungen .....	228
11.9	Zusammenfassung.....	230
11.10	Vertiefende Aufgaben .....	231
<b>12</b>	<b>Entwurf synchroner Zustandsautomaten</b>	<b>237</b>
12.1	Lernziele.....	238
12.2	Formale Beschreibung von Zustandsautomaten.....	238
12.3	Entwurf eines Geldwechselautomaten.....	240
12.3.1	Realisierung als Mealy-Automat .....	241
12.3.2	Realisierung als Moore-Automat .....	251
12.3.3	Medwedew-Automatenstruktur .....	256
12.4	Impulsfolgeerkennung mit Zustandsautomaten.....	257
12.4.1	Implementierung als Moore-Automat .....	257
12.4.2	Implementierung als Mealy-Automat.....	260
12.5	Vertiefende Aufgaben .....	263

<b>13</b>	<b>Entwurf von Synchronzählern</b>	<b>265</b>
13.1	Lernziele .....	266
13.2	Manuelle Implementierung von Zählern.....	266
13.2.1	mod-5-Zähler .....	266
13.2.2	mod-4-Vorwärts-/Rückwärtszähler.....	271
13.3	Standardzähler.....	275
13.3.1	Abhängigkeitsnotation .....	275
13.3.2	Systematischer VHDL-Entwurf von Zählern.....	278
13.3.3	Kaskadierung von Standardzählern.....	281
13.4	Vertiefende Aufgaben .....	284
<b>14</b>	<b>Schieberegister</b>	<b>287</b>
14.1	Lernziele .....	287
14.2	Arbeitsweise von Schieberegistern .....	287
14.3	Serien-Parallel-Umsetzer .....	289
14.4	Parallel-Serien-Umsetzer .....	292
14.5	Zähler mit Schieberegistern .....	295
14.5.1	Ringzähler.....	295
14.5.2	Johnson-Zähler.....	297
14.6	Linear rückgekoppelte Schieberegister .....	300
14.7	Vertiefende Aufgaben .....	303
<b>15</b>	<b>Digitale Halbleiterspeicher</b>	<b>305</b>
15.1	Lernziele .....	305
15.2	Übersicht.....	305
15.2.1	Klassifizierung .....	306
15.2.2	Speicherstrukturen .....	307
15.2.3	Kenngrößen.....	308
15.3	Nichtflüchtige Speicher.....	309
15.3.1	Maskenprogrammierbares ROM.....	310
15.3.2	PROM .....	311
15.3.3	EPROM.....	312
15.3.4	EEPROM und Flash-EEPROM .....	313
15.3.5	Instanziierung von ROM-Strukturen durch VHDL.....	314
15.4	Flüchtige Speicher.....	315
15.4.1	SRAMs.....	315
15.4.2	DRAMs.....	318
15.4.3	SDRAM und DDR-RAM.....	321
15.4.4	Modellierung von SRAM-Speicher in VHDL .....	323

15.5	FIFO-Speicher.....	327
15.6	Speichererweiterung.....	333
15.7	Vertiefende Aufgaben .....	337
<b>16</b>	<b>Programmierbare Logik</b>	<b>339</b>
16.1	Lernziele.....	339
16.2	PLD-Architekturen.....	339
16.3	SPLDs .....	341
16.3.1	PROM-Speicher .....	342
16.3.2	PLAs.....	345
16.3.3	PALs.....	346
16.4	CPLDs.....	352
16.5	FPGAs .....	356
16.5.1	Die Spartan-3-FPGA-Familie der Fa. Xilinx .....	357
16.5.2	Technologische Entwicklungstrends bei FPGAs.....	364
16.6	Vertiefende Aufgaben .....	365
<b>17</b>	<b>Anhang</b>	<b>367</b>
17.1	Hinweise zur Verwendung von ModelSim und ISE WebPACK .....	367
17.1.1	ModelSim Hilfesystem.....	368
17.1.2	Entwicklungsablauf mit ModelSim .....	368
17.2	VHDL-Codierungsempfehlungen .....	380
<b>18</b>	<b>Literaturverzeichnis</b>	<b>385</b>
<b>19</b>	<b>Sachregister</b>	<b>389</b>