

---

# Verilog

---

Modellbildung für Synthese und Verifikation

---

von  
Bernhard Hoppe

---

Oldenbourg Verlag München Wien

---

# Inhalt

|                                                       |           |
|-------------------------------------------------------|-----------|
| <b>Vorwort des Herausgebers</b>                       | <b>XI</b> |
| <b>1 Einleitung</b>                                   | <b>1</b>  |
| <b>2 Electronic-Design mit Verilog HDL</b>            | <b>5</b>  |
| 2.1 Der Design-Zyklus .....                           | 9         |
| 2.1.1 Designeingabe .....                             | 10        |
| 2.1.2 Logiksynthese.....                              | 12        |
| 2.1.3 Physikalische Implementierung.....              | 12        |
| 2.2 Verilog.....                                      | 13        |
| 2.3 Verilog im Designablauf .....                     | 14        |
| 2.3.1 Ports.....                                      | 15        |
| 2.3.2 Verhalten, Struktur und Zeitverzögerungen ..... | 15        |
| 2.3.3 Testbenches .....                               | 16        |
| 2.3.4 Compiler Directives und System-Tasks .....      | 17        |
| 2.3.5 SDF für Laufzeiten.....                         | 17        |
| 2.4 Zusammenfassung.....                              | 19        |
| 2.5 Übungsaufgaben.....                               | 20        |
| 2.5.1 Fragen.....                                     | 20        |
| 2.5.2 Wahr oder Falsch .....                          | 21        |
| 2.6 Antworten.....                                    | 21        |
| 2.6.1 Fragen.....                                     | 21        |
| 2.6.2 Wahr oder Falsch .....                          | 22        |
| <b>3 Die Sprache Verilog</b>                          | <b>23</b> |
| 3.1 Syntax und Semantik.....                          | 23        |
| 3.1.1 Kommentare .....                                | 24        |
| 3.1.2 Leerzeichen ( <i>white spaces</i> ).....        | 24        |
| 3.1.3 Bezeichner ( <i>Identifier</i> ) .....          | 24        |
| 3.1.4 Logische Zustände und Signalstärken .....       | 25        |
| 3.1.5 Operatoren.....                                 | 26        |
| 3.1.6 Zahlen.....                                     | 27        |
| 3.1.7 Zeichenketten ( <i>strings</i> ).....           | 28        |
| 3.1.8 Datentypen .....                                | 29        |
| 3.1.9 Deklarationen von Datentypen .....              | 32        |

|          |                                                     |           |
|----------|-----------------------------------------------------|-----------|
| 3.1.10   | Konstanten .....                                    | 33        |
| 3.1.11   | Verilog-Primitive .....                             | 34        |
| 3.1.12   | Ports von Primitiven und Modulen .....              | 36        |
| 3.1.13   | Instanziierung von Primitiven .....                 | 36        |
| 3.2      | Ausdrücke: Operatoren und Operanden .....           | 38        |
| 3.2.1    | Operanden .....                                     | 39        |
| 3.2.2    | Operatoren .....                                    | 39        |
| 3.3      | System Tasks und Compileranweisungen .....          | 45        |
| 3.3.1    | System-Aufgaben .....                               | 45        |
| 3.3.2    | Compileranweisungen .....                           | 47        |
| 3.4      | Ein einfaches Verilog-Modell mit Testumgebung ..... | 48        |
| 3.5      | Zusammenfassung .....                               | 52        |
| 3.6      | Übungsaufgaben .....                                | 53        |
| 3.6.1    | Wahr oder Falsch .....                              | 53        |
| 3.6.2    | Fragen .....                                        | 54        |
| 3.6.3    | Wie lautet die richtige Antwort? .....              | 55        |
| 3.7      | Antworten .....                                     | 56        |
| 3.7.1    | Wahr oder Falsch .....                              | 56        |
| 3.7.2    | Fragen .....                                        | 57        |
| 3.7.3    | Folgende Antwort ist richtig .....                  | 59        |
| <b>4</b> | <b>Modelle für Grundkomponenten</b> .....           | <b>61</b> |
| 4.1      | Anwenderdefinierte primitive Komponenten .....      | 62        |
| 4.1.1    | Unbekannte Zustände .....                           | 64        |
| 4.1.2    | Sequentielle UDPs .....                             | 65        |
| 4.1.3    | Initialisierung von UDPs .....                      | 70        |
| 4.1.4    | Zellbibliotheken: Vorteile von UDPs .....           | 71        |
| 4.2      | Signalverzögerungen und Specify-Blöcke .....        | 72        |
| 4.2.1    | Ausgangspin-Delays .....                            | 73        |
| 4.2.2    | Pfadabhängige Delays .....                          | 75        |
| 4.2.3    | Zeitprüfungen für Steuer- und Taktsignale .....     | 79        |
| 4.2.4    | Trägheits- und Transport-Verzögerungen .....        | 80        |
| 4.2.5    | Ein kompletter Specify-Block .....                  | 82        |
| 4.3      | Treiberstärken und Signalauflösung .....            | 85        |
| 4.3.1    | Auflösen von Signalkonflikten .....                 | 86        |
| 4.4      | Zusammenfassung .....                               | 87        |
| 4.5      | Übungsaufgaben .....                                | 88        |
| 4.5.1    | Wahr oder Falsch .....                              | 88        |
| 4.5.2    | Fragen .....                                        | 88        |
| 4.5.3    | Welche Antwort ist richtig? .....                   | 89        |

|          |                                                           |            |
|----------|-----------------------------------------------------------|------------|
| 4.6      | Antworten.....                                            | 90         |
| 4.6.1    | Wahr oder falsch .....                                    | 90         |
| 4.6.2    | Fragen.....                                               | 91         |
| 4.6.3    | Folgende Antwort ist richtig.....                         | 94         |
| <b>5</b> | <b>Struktur, Hierarchie, Laufzeiten</b>                   | <b>95</b>  |
| 5.1      | Module als Instanzen.....                                 | 96         |
| 5.1.1    | Hierarchische Namensgebung .....                          | 96         |
| 5.1.2    | Generische Parameter.....                                 | 98         |
| 5.2      | Rücklesen von Laufzeiten und SDF-Format .....             | 99         |
| 5.2.1    | Struktur von SDF-Dateien.....                             | 101        |
| 5.2.2    | SDF-Annotierungen bestehender Verilog-Konstrukte .....    | 101        |
| 5.3      | Zusammenfassung .....                                     | 105        |
| 5.4      | Übungsaufgaben .....                                      | 106        |
| 5.4.1    | Wahr oder Falsch .....                                    | 106        |
| 5.4.2    | Fragen.....                                               | 106        |
| 5.5      | Antworten.....                                            | 107        |
| 5.5.1    | Wahr oder Falsch .....                                    | 107        |
| 5.5.2    | Folgende Antwort ist richtig.....                         | 107        |
| <b>6</b> | <b>Verhaltensbeschreibung</b>                             | <b>111</b> |
| 6.1      | Abstraktionsebenen .....                                  | 111        |
| 6.2      | Nebenläufigkeit .....                                     | 112        |
| 6.2.1    | Continuous assignment.....                                | 113        |
| 6.3      | Prozeduralblöcke .....                                    | 116        |
| 6.3.1    | Prozedurale Zuweisungen .....                             | 118        |
| 6.3.2    | Kontrollstrukturen in prozeduralen Blöcken .....          | 122        |
| 6.3.3    | Benannte Blöcke und Unterbrechungen mit disable .....     | 129        |
| 6.3.4    | Continuous Assignments in Prozeduren (PCAs).....          | 132        |
| 6.3.5    | Anfangswertzweisung für Variablen.....                    | 133        |
| 6.4      | Unterprogramme: Tasks und Functions .....                 | 134        |
| 6.4.1    | Functions .....                                           | 134        |
| 6.4.2    | Tasks .....                                               | 137        |
| 6.4.3    | Vereinfachte Deklaration bei Verilog 2001.....            | 139        |
| 6.5      | Der Datentyp event.....                                   | 140        |
| 6.6      | Iterative Instanziierung mit dem generate-Statement ..... | 140        |
| 6.6.1    | Generate-Schleifen .....                                  | 141        |
| 6.6.2    | Bedingte Generierung.....                                 | 142        |
| 6.7      | Zusammenfassung .....                                     | 144        |
| 6.8      | Aufgaben .....                                            | 146        |

|          |                                                                    |            |
|----------|--------------------------------------------------------------------|------------|
| 6.8.1    | Wahr oder Falsch? .....                                            | 146        |
| 6.8.2    | Fragen .....                                                       | 146        |
| 6.8.3    | Welche Antwort ist richtig? .....                                  | 148        |
| 6.9      | Antworten .....                                                    | 149        |
| 6.9.1    | Wahr oder falsch .....                                             | 149        |
| 6.9.2    | Fragen .....                                                       | 149        |
| 6.9.3    | Folgende Antwort ist richtig .....                                 | 152        |
| <b>7</b> | <b>Modellbildung: Logik, Speicher, Zustandsautomaten</b>           | <b>153</b> |
| 7.1      | Kombinatorische Logik.....                                         | 155        |
| 7.1.1    | Prozedurale Blöcke .....                                           | 155        |
| 7.1.2    | Nebenläufigkeit von Prozessen .....                                | 157        |
| 7.1.3    | Kontinuierliche Anweisungen.....                                   | 158        |
| 7.2      | RTL-Modelle in Verilog .....                                       | 158        |
| 7.3      | Zustandsautomaten.....                                             | 160        |
| 7.3.1    | Zustandsgraphen .....                                              | 161        |
| 7.3.2    | Explizite Zustandsmaschinen.....                                   | 162        |
| 7.3.3    | Implizite Zustandsmaschinen.....                                   | 166        |
| 7.4      | Speicher.....                                                      | 167        |
| 7.5      | Bidirektionale Signale.....                                        | 169        |
| 7.6      | Zusammenfassung.....                                               | 170        |
| 7.7      | Aufgaben.....                                                      | 171        |
| 7.7.1    | Wahr oder Falsch? .....                                            | 171        |
| 7.7.2    | Fragen .....                                                       | 171        |
| 7.7.3    | Welche Antwort ist richtig? .....                                  | 172        |
| 7.7.4    | Designaufgabe.....                                                 | 173        |
| 7.8      | Antworten .....                                                    | 173        |
| 7.8.1    | Wahr oder Falsch? .....                                            | 173        |
| 7.8.2    | Fragen .....                                                       | 174        |
| 7.8.3    | Folgende Antwort ist richtig .....                                 | 176        |
| <b>8</b> | <b>Logiksynthese mit Verilog</b>                                   | <b>177</b> |
| 8.1      | Verilog für die Logiksynthese.....                                 | 181        |
| 8.1.1    | Synthesefähige Verilog-Konstrukte .....                            | 181        |
| 8.2      | Hardwaredefinition mit Verilog .....                               | 184        |
| 8.2.1    | Verhaltensbeschreibung von rein kombinatorischen Schaltungen ..... | 184        |
| 8.2.2    | Unvollständige Kombinatorik und Latch Inference .....              | 187        |
| 8.2.3    | Flankengesteuerte Elemente und RTL-Modelle.....                    | 188        |
| 8.3      | Zusammenfassung.....                                               | 199        |
| 8.4      | Aufgaben.....                                                      | 200        |

|                                          |                                                                              |            |
|------------------------------------------|------------------------------------------------------------------------------|------------|
| 8.4.1                                    | Wahr oder falsch?.....                                                       | 200        |
| 8.4.2                                    | Fragen.....                                                                  | 200        |
| 8.4.3                                    | Welche Antwort ist richtig .....                                             | 201        |
| 8.5                                      | Antworten.....                                                               | 202        |
| 8.5.1                                    | Wahr oder falsch?.....                                                       | 202        |
| 8.5.2                                    | Fragen.....                                                                  | 203        |
| 8.5.3                                    | Folgende Antwort ist richtig.....                                            | 203        |
| <b>9</b>                                 | <b>Verifikation mit Verilog</b>                                              | <b>205</b> |
| 9.1                                      | Verifikation mit Testbenches .....                                           | 206        |
| 9.1.1                                    | Grenzen .....                                                                | 210        |
| 9.2                                      | Testbenchentwurf.....                                                        | 211        |
| 9.2.1                                    | Eingabemuster und Ausgabeanalyse .....                                       | 211        |
| 9.2.2                                    | Selbsttestende Testbenches .....                                             | 212        |
| 9.2.3                                    | Vollständige Validierung eines 4-Bit-Addierers mit parallelen Modellen ..... | 215        |
| 9.2.4                                    | Spezielle Testmuster.....                                                    | 217        |
| 9.2.5                                    | Top-down-Verifikation eines ASIC-Designs .....                               | 223        |
| 9.3                                      | Zusammenfassung.....                                                         | 230        |
| 9.4                                      | Aufgaben .....                                                               | 231        |
| 9.4.1                                    | Wahr oder falsch?.....                                                       | 231        |
| 9.4.2                                    | Fragen.....                                                                  | 231        |
| 9.4.3                                    | Ergänzen Sie.....                                                            | 231        |
| 9.5                                      | Antworten.....                                                               | 232        |
| 9.5.1                                    | Wahr oder falsch?.....                                                       | 232        |
| 9.5.2                                    | Fragen.....                                                                  | 232        |
| 9.5.3                                    | Ergänzen Sie.....                                                            | 234        |
| <b>10</b>                                | <b>Schlussbemerkungen</b>                                                    | <b>235</b> |
| <b>11</b>                                | <b>Bibliografie</b>                                                          | <b>237</b> |
| <b>12</b>                                | <b>Glossar</b>                                                               | <b>239</b> |
| <b>Anhang A: Modelle aus Kapitel 9</b>   |                                                                              | <b>243</b> |
| A.1                                      | Komplette Validierung mit Testbench für Addierer.....                        | 243        |
| A.2                                      | Wallace-Tree-Multiplizierer.....                                             | 246        |
| A.3                                      | Top-down-Verifikation des 74LS299 Schieberegisters.....                      | 248        |
| A.3.1                                    | Die ASIC-Bibliothek cell_lib.v .....                                         | 255        |
| <b>Anhang B: Schlüsselworte</b>          |                                                                              | <b>265</b> |
| <b>Anhang C: Verilog Quick Reference</b> |                                                                              | <b>267</b> |

|                                                             |            |
|-------------------------------------------------------------|------------|
| C.1 Module.....                                             | 267        |
| C.2 Parallele Anweisungen .....                             | 267        |
| C.3 Daten-Typen.....                                        | 268        |
| C.4 Sequentielle Anweisungen .....                          | 268        |
| C.5 Gatter-Primitive .....                                  | 269        |
| C.6 Verzögerungen (Delays).....                             | 270        |
| C.7 Operatoren .....                                        | 270        |
| C.8 Attribute.....                                          | 272        |
| C.9 Blockierende und nicht blockierende Statements .....    | 272        |
| C.10 Tasks und Functions .....                              | 273        |
| C.10.1 Task .....                                           | 273        |
| C.10.2 Function.....                                        | 273        |
| C.11 System Tasks .....                                     | 274        |
| C.11.1 Ausgabe von Ergebnissen.....                         | 274        |
| C.11.2 Simulationssteuerung.....                            | 274        |
| C.11.3 Prüfen von Zeitbedingungen.....                      | 274        |
| C.11.4 Lesen aus Dateien.....                               | 274        |
| C.12 Übliche Compiler-Direktiven .....                      | 275        |
| C.13 Nicht synthesefähige Verilog-Konstrukte .....          | 275        |
| C.13.1 Deklarationen und Definitionen .....                 | 275        |
| C.13.2 Statements.....                                      | 275        |
| C.13.3 Operatoren und Sonstiges .....                       | 276        |
| C.14 Verilog 2001 .....                                     | 276        |
| C14.1 Ports und Datentypen.....                             | 276        |
| C14.2 Tasks und Functions .....                             | 277        |
| C.14.3 Generate.....                                        | 277        |
| C.15 Vereinfachte Sensitivitätsliste .....                  | 278        |
| C.16 Potenzierungsoperator .....                            | 278        |
| C.17 Vorzeichenbehaftete Arithmetik.....                    | 278        |
| C.18 Multidimensionale Felder.....                          | 279        |
| <b>Anhang D: Verilog Primitive</b>                          | <b>281</b> |
| D.1 Logische Gatter .....                                   | 281        |
| <b>Anhang E: Die XILINX-Version des ModelSim-Simulators</b> | <b>283</b> |
| <b>Index</b>                                                | <b>285</b> |