

Inhaltsverzeichnis

1	Einleitung	1
2	Grundlagen	5
2.1	Funktionsweise eines Verstärkers der Klasse-D	5
2.2	Topologien für die Schaltstufe	8
2.2.1	Halbbrücke	8
2.2.2	Vollbrücke	9
2.2.3	sonstige Topologien	10
2.2.4	Auswahl der Topologie	11
2.3	Modulationstechniken zur Gewinnung des Steuersignals	12
2.3.1	Analoge Pulsweiten-Modulation (NPWM)	13
2.3.2	Digitale Pulsweiten-Modulation (PWM)	16
2.3.3	Sigma-Delta-Modulation	20
2.3.4	Click-Modulation	22
2.3.5	Auswahl des Modulators	25
2.4	Audioqualität	28
2.4.1	Grundsätzliche Entstehung von Verzerrungen	29
2.4.2	Definition der PWM Central Region	30
2.4.3	Etablierte Theorie: Einfluss der Schaltstufe auf die Audioqualität	33
2.4.4	Neue Theorie: Einfluss der Schaltstufe auf die Audioqualität	36
2.4.5	Messverfahren <i>Flankenmodulation</i>	38
2.4.6	Definition der <i>effektiven Totzeit</i>	43
2.4.7	Verzerrungen des Ausgangssignals infolge der effektiven Totzeit	44
2.4.8	Gültigkeitsgrenzen der bestehenden Theorie	49
2.5	Leistung	50
2.5.1	Durchlassverluste und Durchlassenergie	50
2.5.2	Schaltverluste und Schaltenergie	51
2.6	Stand der Technik	52
2.6.1	Leistungstransistoren	52
2.6.2	Rückkopplungs-Topologien	52
3	Siliziumkarbid	61
3.1	Potential von Siliziumkarbid für Klasse-D-Verstärker	61
3.2	Auswahl der Transistoren für den Vergleich	62
4	Entwicklung der Endstufen	67
4.1	Das Schaltungs-Konzept zusammengefasst	67

4.2	DSP als Modulator	69
4.2.1	Grundfunktionen des DSP	69
4.2.2	Erzeugung des PWM-Steuersignals	71
4.2.3	Verzerrungen und Störabstand	73
4.2.4	Ermittlung der optimalen Totzeit	74
4.3	Gate-Treiber-Schaltkreis	78
4.3.1	Erzeugung der Spannungsversorgung für die Gate-Treiber	78
4.3.2	Dimensionierung der Gate-Vorwiderstände	80
4.3.3	Ansteuerung der SiC-JFET-Endstufe	82
4.4	Schaltstufe	89
4.4.1	Entlastungsnetzwerk (Snubber)	89
4.4.2	Kurzschlussicherung für den selbstleitenden JFET	94
4.5	Externe Spannungsversorgungen	97
4.5.1	Spannungsversorgung des Kleinsignalteils	97
4.5.2	Spannungsversorgung der Leistungsstufe	97
4.6	Ausgangsfiler	97
4.6.1	Kondensator	98
4.6.2	Drossel	98
4.7	Layout der Leiterplatte	99
4.7.1	Lagenaufbau des Leistungsteils	99
4.7.2	Masselagen	100
4.7.3	Platzierung und Anbindung der Entkoppel-Elemente	100
4.7.4	Leiterbahnführung	103
5	Schaltverhalten	105
5.1	Messequipment und Definitionen	105
5.2	Schaltverhalten in der PWM Central Region	108
5.2.1	Reverse-Recovery-Verhalten im Leerlauf	108
5.2.2	Anstiegs- und Abfallzeiten im Leerlauf	108
5.2.3	Schaltverzögerung im Leerlauf	110
5.2.4	Rippelstrom-Messung und -Berechnung	111
5.2.5	Rippelstrom am Ende der PWM Central Region	112
5.2.6	Nulllinie im Leerlauf	113
5.2.7	Flankenmodulation am Ende der Central Region	114
5.3	Schaltverhalten bei hoher Aussteuerung	116
5.3.1	Reverse-Recovery-Verhalten unter Aussteuerung	116
5.3.2	Anstiegs- und Abfallzeiten unter Aussteuerung	117
5.3.3	Schaltverzögerung unter Aussteuerung	119
5.3.4	Flankenmodulation unter Vollaussteuerung	120
5.4	Einschätzung parasitärer Bauteile am Brückenknoten	123
5.5	Einfluss der Transistor-Charakteristika auf das Schaltverhalten der Halbrücke	127
6	Audioqualität der Endstufen	133
6.1	Harmonische Verzerrungen (THD)	133

6.1.1	Rauschgerade und Central Region	135
6.1.2	Hohe Aussteuerung	138
6.1.3	Mittlere Aussteuerung	139
6.2	Vergleichsmessung mit identischer DSP-Totzeit	142
6.2.1	Rauschgerade und PWM Central Region	142
6.2.2	Mittlere und hohe Aussteuerungen	143
6.2.3	Schlussfolgerungen	143
6.3	Einfluss der Transistor-Charakteristika auf die Audioqualität	145
7	Leistung und Wirkungsgrad	147
7.1	Wirkungsgrad	147
7.2	Analyse der Verlustleistung	149
7.3	Schlussfolgerung bezüglich Ausgangsleistung und Wirkungsgrad	153
7.4	Tendenz für Messergebnisse mit optimaler Totzeit	154
7.5	Einfluss der Transistor-Charakteristika auf Leistung und Wirkungsgrad	156
8	Fazit und Ausblick	159
	Anhang	164
Anhang A	Ergänzung zu den Grundlagen und Siliziumkarbid	165
A.1	Aussteuerung eines D-Verstärkers als Halbbrücke	166
A.1.1	Leerlauf bis geringe Aussteuerung – Central Region	166
A.1.2	Positive Aussteuerung	170
A.1.3	Negative Aussteuerung	172
A.2	Technologischer Querschnitt der Transistoren	176
A.3	Kapazitätsverläufe der Transistoren über V_{DS}	178
Anhang B	Ergänzung zur Entwicklung der Endstufen	181
B.1	Belegung der Oszilloskop-Kanäle	181
B.2	Belegung der GPIO-Ports des Piccolo-DSPs	181
B.3	Sperrspannungen des CoolMOS-Transistors	182
B.4	Zusammenhang zwischen Leerlauf-Verlustleistung und DSP-Totzeit	183
B.5	Gateströme zum Ein- und Abschalten	184
B.6	Messungen mit und ohne Entlastungsnetzwerk (Snubber)	186
B.7	Stromlaufplan und Layout der Endstufen	192
B.8	Auswirkung von Layout-Fehlern auf die Funktion der Schaltung	204
Anhang C	Messungen zum Schaltverhalten	205
C.1	Reverse Recovery im Leerlauf	206
C.2	Umladezeiten und Schaltverzögerung im Leerlauf – optimale DSP-Totzeit	208
C.3	Umladezeiten und Schaltverzögerung im Leerlauf – identische DSP-Totzeit	210
C.4	Nulllinie im Leerlauf	212
C.5	Flankenmodulation am Ende der Central Region	214

C.6	Reverse Recovery unter Aussteuerung	216
C.7	Umladezeiten und Schaltverzögerung unter Aussteuerung – optimale DSP-Totzeit	218
C.8	Umladezeiten und Schaltverzögerung unter Aussteuerung – identische DSP-Totzeit	220
C.9	Flankenmodulation unter Vollaussteuerung – optimale DSP-Totzeit . .	222
C.10	Flankenmodulation unter Vollaussteuerung – identische DSP-Totzeit .	224
C.11	Parasitäre Bauteile der Filterkomponenten	226
Anhang D Messungen zur Verlustleistung		229
D.1	Verlustleistung und- Energie im Leerlauf	230
D.2	Verlustleistung und- Energie für 7 A	232
D.3	Verlustleistung und- Energie unter Vollaussteuerung	234
Anhang Literaturverzeichnis		237