

Inhaltsverzeichnis

1	Einleitung	1
1.1	Beiträge dieser Arbeit zur Verbesserung von SAR ADCs	3
1.2	Aufbau der Arbeit	5
2	Grundlagen	7
2.1	Aufbau und Funktionsweise eines SAR ADC	7
2.2	Einordnung von SAR ADCs	8
3	Stand der Technik	11
3.1	Zur Geschichte von SAR ADCs	11
3.2	Stand der Technik kommerzieller ADC-Produkte	12
3.3	Wissenschaftliche Entwicklung der letzten Jahre	12
3.3.1	Begrenzung von Abtastrate und effektiver Auflösung	15
3.3.2	Entwicklung der Energieeffizienz	17
3.3.3	Abhängigkeit von der Technologie	18
3.4	Zusammenfassung	19
I	Schaltungsmodellierung und Architekturanalyse	21
4	Systemmodellierung von SAR ADCs	23
4.1	Problemstellung	23
4.2	Lösungsansatz	24
4.3	Aufbau und Funktionsweise des Modells	24
4.4	Modellierte Effekte	27
4.4.1	Mismatch der Kondensatoren	27
4.4.2	Spannungsabhängigkeit der Kondensatoren	28
4.4.3	Rauschen des Komparators	28
4.5	Vergleich der Rechenzeit	28
4.6	Beispielsergebnisse	30
4.7	Zusammenfassung	31
5	Analyse kapazitiver DAC Architekturen	33
5.1	Gewöhnliche binär gewichtete (CBW)-Architektur	33
5.1.1	Berechnung der Kennlinie	34
5.1.2	Spannungsabhängigkeit der Kondensatoren	36
5.1.3	INL- und DNL-Fehler	36
5.2	Vollständig thermometerkodierte (FTC)-Architektur	41
5.2.1	Berechnung der Kennlinie	42
5.2.2	DNL- und INL-Fehler	42
5.3	Teilweise thermometerkodierte (PTC)-Architektur	43
5.3.1	Berechnung der Kennlinie	44

5.3.2	DNL- und INL-Fehler	44
5.4	Series-split binär gewichtete (SBW)-Architektur	46
5.4.1	Berechnung der Kennlinie	46
5.4.2	Spannungsabhängigkeit der Kondensatoren	49
5.4.3	INL- und DNL-Fehler	49
5.5	Mischformen	51
5.5.1	Kombination mit Widerstands-DAC	51
5.5.2	Series-split Architektur mit Thermometer-Code (STC)	52
5.6	Architekturvergleich und Beurteilung	52
6	Analyse von SAR ADC-Architekturen	57
6.1	Single-Ended SAR ADC-Architekturen	57
6.1.1	Kapazitiver DAC mit separatem Abtast-Halte-Glied	57
6.1.2	Top-Plate-Sampling	60
6.1.3	Bottom-Plate-Sampling	62
6.1.4	Serien-Sampling	64
6.2	Volldifferenzielle SAR ADC-Architekturen	65
6.2.1	Top-Plate-Sampling	66
6.2.2	Bottom-Plate-Sampling	68
6.2.3	Bottom-Plate-Sampling mit Gleichtaktunterdrückung (FD-BPS-CM)	69
6.3	Architekturvergleich und Beurteilung	71
7	SAR ADC mit redundantem Suchbaum	75
7.1	Wandlungsdauer der herkömmlichen binären Suche	75
7.2	Methoden zur Steigerung der Abtastrate	77
7.2.1	Verhindern von Fehlentscheidungen des Komparators	77
7.2.2	Tolerieren von Fehlentscheidungen des Komparators	79
7.3	Analyse der sukzessiven Approximation mit redundantem Suchbaum	80
7.3.1	Berechnung von Schrittweite und Suchbaum	80
7.3.2	Berechnung des Korrekturbereiches	81
7.3.3	Erforderliche Einschwingzeit und Wandlungsdauer	83
7.3.4	Auswirkung auf das Komparatorrauschen	87
7.4	Implementierung eines redundanten Suchbaumes	89
7.5	Vergleich der vorgestellten Methoden zur Steigerung der Wandlungsrate	92
II	Schaltungsimplementierung	93
8	Entwurf eines 12 bit SAR ADC in 180 nm CMOS-Technologie	95
8.1	Anwendungssystem und Spezifikation	95
8.2	Auswahl einer geeigneten Architektur	96
8.3	Wandlungsablauf und digitales Steuerwerk	97
8.4	Verfügbare Eingangskonfigurationen und zugehörige Kennlinien	98
8.5	Schaltungsdimensionierung	99
8.5.1	Größe der Einheitskapazität	99

8.5.2	Dimensionierung der Schalter	102
8.5.3	Entwurf des Komparators	105
8.6	Layoutentwurf	107
8.6.1	Layout des Kondensator-Arrays	107
8.6.2	Layout des ADCs	108
8.7	Simulationsergebnisse	109
8.8	Messergebnisse	111
8.8.1	Labormessungen	111
8.8.2	Automatischer Bauelementetest	113
8.9	Optimierung der Fläche	114
8.10	Zusammenfassung	115
9	SAR ADC mit Selbst-Kalibrierfunktion	117
9.1	Selbstkalibrierverfahren	117
9.1.1	Stand der Technik	117
9.1.2	Herleitung der Bedingung für eine lineare Kennlinie	119
9.1.3	Kalibrieralgorithmus für eine volldifferentielle Architektur	121
9.2	Schaltungsimplementierung	123
9.3	Messergebnisse	126
9.4	Zusammenfassung	128
10	SAR ADC mit konfigurierbarer Redundanz	131
10.1	Schaltungsimplementierung	131
10.1.1	Digitales Steuerwerk	132
10.1.2	Thermometerkodierter kapazitiver DAC	133
10.1.3	Abtastschalter mit Spannungsüberhöhung	135
10.1.4	Komparator mit Offset-Cancellation	137
10.2	Ergebnisse	138
10.3	Zusammenfassung	142
11	SAR ADC mit Fenster-Funktion für integrierte DC-DC Wandler	143
11.1	Sukzessive Approximation mit Fenster-Funktion	144
11.2	Schaltungsimplementierung	146
11.2.1	Digitales Steuerwerk	147
11.2.2	Thermometerkodiertes Kondensator-Array	148
11.2.3	Komparator	148
11.3	DC-DC-Schaltwandler System	149
11.4	Messergebnisse	150
11.5	Beurteilung der verwendeten Kondensatoren	153
11.6	Zusammenfassung	154
12	ADC mit Rauschunterdrückung	155
12.1	Stand der Technik	155
12.2	Rauschunterdrückung durch Mittelwertbildung	156

12.2.1	Mittelwertbildung der Komparatorentscheidung	157
12.2.2	Tracking-Verfahren	157
12.2.3	Vergleich der Verfahren	158
12.3	Schaltungsimplementierung	158
12.3.1	Digitale Steuerung	159
12.3.2	Komparatoren	161
12.4	Ergebnisse	163
12.5	Zusammenfassung	165
13	Zusammenfassung und Diskussion	167
13.1	Ausblick	169
A	Anhang	171
A.1	Übersicht über Kondensatortypen in CMOS-Technologien	171
A.1.1	Elektrische Kenngrößen von Kondensatoren	171
A.1.2	Mismatch	172
A.1.3	MOS (Metal Oxide Semiconductor)-Kondensatoren	173
A.1.4	Poly (Polysilizium)-Kondensatoren	175
A.1.5	MIM (Metall-Isolator-Metall)-Kondensatoren	175
A.1.6	MOM (Metall-Oxid-Metall)-Kondensatoren	177
A.1.7	Vergleich und Beurteilung	179
A.2	Kenngrößen von AD-Wandlern	181
A.2.1	Ideale Kennlinie	181
A.2.2	DC-Kenngrößen	181
A.2.3	Dynamische Kenngrößen	185
A.2.4	Spektrale Kenngrößen	186
A.2.5	Leistungskenngrößen	188
A.3	Berechnung des Quotienten von Normalverteilungen	189
A.3.1	Allgemeine Lösung	189
A.3.2	Berechnung des DNL-Fehlers	190
A.3.3	Berechnung des INL-Fehlers	190
A.3.4	Gültigkeit der Näherung	191
A.4	MOS-Transistor Gleichungen	193