

# Inhaltsverzeichnis

<b>Vorwort</b>	<b>v</b>
<b>Abstract</b>	<b>vii</b>
<b>Kurzfassung</b>	<b>ix</b>
<b>1 Einleitung</b>	<b>1</b>
1.1 Multicore-Architekturen in der Steuerungstechnik . . . . .	1
1.2 Einordnung der Arbeit . . . . .	2
1.3 Aufbau der Arbeit . . . . .	4
1.4 Danksagung . . . . .	5
<b>2 Grundlagen</b>	<b>7</b>
2.1 Parallelität von Software . . . . .	7
2.2 Multicore-Prozessoren . . . . .	8
2.3 Steuerungstechnik . . . . .	11
2.3.1 Topologische Struktur einer Steuerung . . . . .	11
2.3.2 Firmware-Architektur einer Steuerung . . . . .	14
2.4 Betriebssysteme . . . . .	15
2.4.1 Basismechanismen . . . . .	16
2.4.2 SMP-Betriebssysteme . . . . .	17
2.5 Parallele Programmierung . . . . .	18
2.5.1 Entwicklung paralleler Software . . . . .	18
2.5.2 Paradigmen paralleler Programmierung . . . . .	20
2.6 Modellierung . . . . .	21
2.7 Software-Analyse . . . . .	22
2.8 Skalare und multikriterielle Optimierung . . . . .	23
2.9 Genetische Algorithmen . . . . .	24
2.10 Systemvirtualisierung . . . . .	27
2.10.1 Definition und formale Betrachtung . . . . .	27
2.10.2 Strategien der Systemvirtualisierung auf x86-Architekturen . . . . .	29
<b>3 Strategien der Multicore-Nutzung in der Steuerungstechnik</b>	<b>33</b>
3.1 Performanzsteigerung . . . . .	33
3.1.1 Motivation einer Performanzsteigerung . . . . .	33
3.1.2 Firmware-Parallelisierung in der Steuerungstechnik . . . . .	35
3.2 Systemkonsolidierung . . . . .	38

<b>4</b>	<b>Bewertung der Systemkonsolidierung in der Steuerungstechnik</b>	<b>41</b>
4.1	Ableitung und Abgrenzung der Vorgehensweise	41
4.2	Anforderungen an eine Systemkonsolidierung	41
4.3	Strategien zur Systemkonsolidierung	44
4.3.1	Virtualisierter Konsolidierungsansatz	45
4.3.2	Hybrider Konsolidierungsansatz	46
4.4	Evaluation	48
4.4.1	Reaktivität	49
4.4.2	Zeitdeterminismus	53
4.4.3	Zuverlässigkeit und Sicherheit	56
<b>5</b>	<b>Entwicklung einer Methode zur Firmware-Parallelisierung</b>	<b>59</b>
5.1	Ableitung und Abgrenzung der Vorgehensweise	59
5.1.1	Motivation und Zieldefinition	59
5.1.2	Vorgehensmodell der Modellierung	62
5.2	Verwandte Arbeiten und Stand der Technik	65
5.3	Die <i>EEEP</i> A-Toolchain	74
5.3.1	Architektur	74
5.3.2	Profiler-Integration	75
5.3.3	<i>GraphML</i> -Erweiterung	77
5.3.4	<i>PISA</i> -Konformität	78
5.4	Modellierung auf Systemebene	80
5.4.1	Bewertungskriterien	81
5.4.2	Basismodell	84
5.4.3	Systeminstrumentierung	85
5.4.4	Modellausprägung	88
5.4.5	Validierung	96
5.5	Modellierung auf Taskebene	99
5.5.1	Bewertungskriterien	99
5.5.2	Basismodell	101
5.5.3	Systeminstrumentierung	110
5.5.4	Modellausprägung	113
5.5.5	Validierung	120
5.6	Entwurfsraumexploration mittels genetischer Algorithmen	123
5.6.1	Modellübergreifende Vorgehensweise	123
5.6.2	Entwurfsraumexploration auf Systemebene	128
5.6.3	Entwurfsraumexploration auf Taskebene	131
5.7	Ableitung der Implementierung	140
5.7.1	Parallelisierung auf Systemebene	140
5.7.2	Parallelisierung auf Taskebene	140
5.7.3	Kombinierte Anwendung der Methode	141

<b>6</b>	<b>Fallstudie</b>	<b>145</b>
6.1	Gegenstand der Fallstudie . . . . .	145
6.2	Einsatz der <i>EEEP</i> A-Toolchain . . . . .	146
6.2.1	Parametrierung und Konfiguration . . . . .	146
6.2.2	Modellierung und Optimierung auf Systemebene . . . . .	148
6.2.3	Modellierung und Optimierung auf Taskebene . . . . .	156
<b>7</b>	<b>Zusammenfassung und Ausblick</b>	<b>161</b>
7.1	Beitrag zum Stand der Forschung und Technik . . . . .	161
7.2	Bewertung der Ergebnisse . . . . .	163
7.3	Ausblick . . . . .	164
	<b>Literaturverzeichnis</b>	<b>167</b>
	<b>Stichwortverzeichnis</b>	<b>183</b>