

# Inhaltsverzeichnis

<b>Vorwort .....</b>	<b>VII</b>
<b>Vorwort zur 2. Auflage .....</b>	<b>IX</b>
<b>Vorwort zur 3. Auflage .....</b>	<b>XI</b>
<b>Inhaltsverzeichnis .....</b>	<b>XIII</b>
<b>1 Grundlagen .....</b>	<b>1</b>
1.1 Mikroprozessoren, Mikrocontroller, Signalprozessoren und SoC .....	1
1.2 PC-Systeme.....	3
1.3 Eingebettete und ubiquitäre Systeme.....	8
1.4 Leistungsmessung und Leistungsvergleich.....	12
<b>2 Grundlegende Prozessortechniken .....</b>	<b>17</b>
2.1 Befehlssatzarchitekturen.....	17
2.1.1 Prozessorarchitektur, Mikroarchitektur und Programmiermodell .....	17
2.1.2 Datenformate.....	18
2.1.3 Adressraumorganisation.....	22
2.1.4 Befehlssatz .....	23
2.1.5 Befehlsformate .....	26
2.1.6 Adressierungsarten .....	28
2.1.7 CISC- und RISC-Prinzipien .....	34
2.2 Befehlssatzbeispiele.....	36
2.2.1 Frühe RISC-Rechner.....	36
2.2.2 Das Berkeley RISC-Projekt.....	37
2.2.3 Die DLX-Architektur .....	38
2.3 Einfache Prozessoren und Prozessorkerne.....	41
2.3.1 Von-Neumann-Prinzip .....	41
2.3.2 Grundlegender Aufbau eines Mikroprozessors .....	44
2.3.3 Einfache Implementierungen.....	45
2.3.4 Pipeline-Prinzip .....	46
2.4 Befehls-Pipelining .....	48
2.4.1 Grundlegende Stufen einer Befehls-Pipeline.....	48
2.4.2 Die DLX-Pipeline.....	49
2.4.3 Pipeline-Konflikte .....	55

2.4.4 Datenkonflikte und deren Lösungsmöglichkeiten .....	55
2.4.5 Steuerflusskonflikte und deren Lösungsmöglichkeiten.....	62
2.4.6 Sprungzieladress-Cache .....	65
2.4.7 Statische Sprungvorhersagetechniken .....	67
2.4.8 Strukturkonflikte und deren Lösungsmöglichkeiten .....	68
2.4.9 Ausführung in mehreren Takten.....	69
2.5 Weitere Aspekte des Befehls-Pipelining .....	71
<b>3 Mikrocontroller .....</b>	<b>73</b>
3.1 Abgrenzung zu Mikroprozessoren.....	74
3.2 Anwendungsfelder.....	82
3.2.1 Prozesssteuerung .....	82
3.2.2 Steuerung von Bedienelementen .....	90
3.3 Leistungsklassen und industrielle Mikrocontrollerfamilien.....	91
3.4 Auswahlkriterien für den Einsatz von Mikrocontrollern .....	100
3.5 Software-Entwicklung .....	104
3.6 Forschungstrends .....	108
3.6.1 Systems-on-Chip (SoC).....	109
3.6.2 Energiespar-Techniken.....	114
3.6.3 Java und Java-Prozessoren für eingebettete Systeme .....	120
3.6.4 Selbstorganisation und Organic Computing.....	124
<b>4 Mikrocontroller-Komponenten.....</b>	<b>139</b>
4.1 Prozessorkerne.....	139
4.2 Ein-/Ausgabeeinheiten.....	142
4.2.1 Anbindung an den Prozessorkern.....	143
4.2.2 Digitale parallele Ein-/Ausgabeeinheiten.....	147
4.2.3 Digitale serielle Ein-/Ausgabeeinheiten.....	151
4.2.4 Wandlung zwischen analogen und digitalen Signalen .....	159
4.3 Zeitgeberbasierte Einheiten .....	168
4.3.1 Zähler und Zeitgeber .....	169
4.3.2 Capture-und-Compare-Einheit.....	174
4.3.3 Pulsweitenmodulator.....	175
4.3.4 Watchdog-Einheit.....	179
4.3.5 Echtzeit-Ein-/Ausgabeeinheiten.....	180
4.4 Speicher .....	182
4.4.1 Festwertspeicher.....	184
4.4.2 Schreib-/Lesespeicher .....	186
4.5 Unterbrechungssteuerung .....	188
4.6 DMA.....	197
4.7 Erweiterungsbus .....	201
<b>5 Beispiele verschiedener Mikrocontroller.....</b>	<b>207</b>
5.1 ATmega128A – ein kompakter Mikrocontroller .....	207
5.1.1 Prozessorkern .....	209
5.1.2 Unterbrechungsbehandlung.....	215

5.1.3 Speicher und Adressraum.....	217
5.1.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber.....	218
5.1.5 Erweiterungsbus.....	224
5.2 MC68332 – ein Mikrocontroller mittlerer Leistung.....	225
5.2.1 Prozessorkern.....	227
5.2.2 Unterbrechungsbehandlung.....	230
5.2.3 Speicher und Adressraum.....	232
5.2.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber.....	234
5.2.5 Erweiterungsbus.....	239
5.3 PXA270 – ein Hochleistungs-Mikrocontroller.....	243
5.3.1 Prozessorkern.....	245
5.3.2 Unterbrechungsbehandlung.....	248
5.3.3 Speicher und Adressraum.....	250
5.3.4 Ein-/Ausgabeeinheiten und Zähler/Zeitgeber.....	252
5.3.5 Erweiterungsbus.....	260
5.4 MCore – optimiert für niedrigen Energieverbrauch.....	261
5.4.1 Reduktion der Busaktivitäten und Erhöhung der Code-Dichte.....	263
5.4.2 Statisches Power-Management.....	265
5.4.3 Dynamisches Power-Management.....	266
5.5 Komodo – ein Forschungs-Mikrocontroller.....	267
5.5.1 Prozessorkern.....	269
5.5.2 Echtzeit-Scheduling.....	272
5.5.3 Unterbrechungsbehandlung.....	275
5.5.4 Anbindung der peripheren Komponenten.....	277
5.5.5 Evaluierungs-Ergebnisse.....	278
5.5.6 Weiterführende Konzepte.....	282
<b>6 Hochperformante Mikroprozessoren.....</b>	<b>291</b>
6.1 Von skalaren RISC- zu Superskalarprozessoren.....	291
6.2 Komponenten eines superskalaren Prozessors.....	294
6.3 Superskalare Prozessor-Pipeline.....	296
6.4 Präzisierung des Begriffs „superskalar“.....	299
6.5 Die VLIW-Technik.....	300
6.6 Die EPIC-Technik.....	302
6.7 Vergleich der Superskalar- mit der VLIW- und der EPIC-Technik.....	303
<b>7 Die Superskalartechnik.....</b>	<b>307</b>
7.1 Befehlsbereitstellung.....	307
7.1.1 Code-Cache-Speicher.....	307
7.1.2 Befehlsholestufe.....	308
7.1.3 Trace Cache.....	309
7.2 Sprungvorhersage und spekulative Ausführung.....	312
7.2.1 Grundlagen.....	312
7.2.2 Dynamische Sprungvorhersagetechniken.....	313
7.2.3 Ein- und Zwei-Bit-Prädiktoren.....	315
7.2.4 Korrelationsprädiktoren.....	318

7.2.5 Zweistufig adaptive Prädiktoren .....	319
7.2.6 gselect- und gshare-Prädiktoren .....	326
7.2.7 Hybridprädiktoren .....	327
7.2.8 Zuverlässigkeitsabschätzung .....	329
7.2.9 Weitere Prädiktoren zur Interferenzverringerng.....	331
7.2.10 Prädikation .....	333
7.2.11 Mehrpfadausführung .....	335
7.2.12 Vorhersage bedingter Sprungbefehle mit indirekter Adressierung.....	338
7.2.13 Sprungvorhersage in kommerziellen Mikroprozessoren .....	339
7.2.14 Sprungvorhersage mit hoher Bandbreite .....	340
7.2.15 Datenabhängigkeits-, Adress- und Wertespekulationen.....	341
7.3 Decodierung und Registerumbenennung.....	342
7.3.1 Decodierung .....	342
7.3.2 Registerumbenennung.....	343
7.4 Befehlszuordnung.....	346
7.5 Ausführungsstufen.....	353
7.6 Gewährleistung der sequenziellen Programmsemantik .....	358
7.6.1 Rückordnungsstufe.....	358
7.6.2 Präzise Unterbrechungen.....	359
7.6.3 Rückordnungspuffer.....	360
7.7 Verzicht auf die Sequenzialisierung bei der Rückordnung.....	361
<b>8 Speicherverwaltung.....</b>	<b>363</b>
8.1 Speicherhierarchie .....	363
8.2 Register und Registerfenster .....	365
8.3 Virtuelle Speicherverwaltung .....	369
8.4 Cache-Speicher.....	374
8.4.1 Grundlegende Definitionen .....	374
8.4.2 Grundlegende Techniken .....	375
8.4.3 Verringern der Fehlzugriffsrate.....	381
8.4.4 Verringern des Fehlzugriffsaufwandes.....	384
8.4.5 Verringern der Cache-Zugriffszeit bei einem Treffer .....	385
8.4.6 Cache-Kohärenz und Speicherkonsistenz .....	388
8.4.7 Busschnüffeln und MESI-Protokoll .....	389
8.4.8 Speicherkonsistenz .....	392
<b>9 Mehrfädige und Mehrkernprozessoren.....</b>	<b>395</b>
9.1 Stand der Technik und Technologieprognosen.....	395
9.2 Grenzen heutiger Prozessortechniken.....	397
9.3 Mehrfädige Prozessoren .....	399
9.3.1 Mehrfädigkeit.....	399
9.3.2 Grundtechniken der Mehrfädigkeit .....	400
9.3.3 Die simultan mehrfädige Prozessortechnik .....	405
9.3.4 Weitere Anwendungsmöglichkeiten der Mehrfädigkeit.....	408
9.4 Mehrkernprozessoren .....	409

<b>10 Beispiele für Mikroprozessoren</b>	<b>417</b>
10.1 Die Intel Pentium-Prozessoren	417
10.2 Mehrkernprozessoren von Intel	423
10.3 Intel Larrabee	424
10.4 IBM Cell	426
<b>11 Zusammenfassung</b>	<b>429</b>
<b>Literatur</b>	<b>431</b>
<b>Sachverzeichnis</b>	<b>447</b>