

Inhaltsverzeichnis

Vorwort	VII
Inhaltsverzeichnis	IX
Abkürzungsverzeichnis	XI
Liste der verwendeten Formelzeichen	XIII
1 Einleitung	1
2 Strukturverkleinerung herkömmlicher MOS-Transistoren	5
2.1 Historische Entwicklung	5
2.2 Funktionsprinzip	7
2.2.1 Metall-Isolator-Halbleiterübergang	7
2.2.2 MOS-Feldeffekttransistor	10
2.3 Effekte in MOS-Transistoren mit kleinen Kanalgeometrien	13
2.3.1 Das Prinzip der ähnlichen Verkleinerung	13
2.3.2 Kanallängenmodulation	15
2.3.3 Drain Induced Barrier Lowering	18
2.3.4 Punch-Through	20
2.3.5 Stoßionisation, Lawinendurchbruch, „Hot-Electron“-Effekt und Zenerdurchbruch	21
2.3.6 Unterschwellenspannungsverhalten	23
2.3.7 Polysilizium-Gate-Depletion	24
2.3.8 Rand- und Schmalkanaleffekte	26
3 Strukturierung von Transistoren mit Kanalgeometrien im Sub-100 nm-Bereich	31
3.1 Optische Lithographie	31
3.1.1 Übersicht der gängigen Verfahren	31
3.1.2 Potential und Grenzen der optischen Lithographie	32
3.2 Lithographie der nächsten Generation – Die wichtigsten Verfahren	38
3.2.1 Extremultraviolett-Lithographie und Röntgenstrahlolithographie	38
3.2.2 Lithographie mittels Elektronen und Ionen	40
3.2.3 Nanoimprint-Lithographie	42
3.3 Lithographieunabhängige Strukturierungsverfahren	44

3.3.1 Verfahren zur Aktivgebietsstrukturierung	45
3.3.1.1 Der Standard-LOCOS-Prozess	45
3.3.1.2 Der SILO-Prozess	46
3.3.1.3 Der SWAMI-LOCOS-Prozess	46
3.3.1.4 Die STI-Technik	48
3.3.2 Nanoskalige Aktivgebietsstrukturierung	49
3.3.3 Strukturierung von Gateelektroden	53
4 Prozessoptimierung durch Simulation	59
4.1 Ermittlung der erforderlichen Schichtdicken	59
4.2 Simulationsmodelle für lokale Oxidationsprozesse	64
4.3 Die SILO-Technik in der Simulation	65
4.4 Simulationsgestützte Optimierung des SWAMI-LOCOS-Verfahrens	69
4.5 Elektrische Simulation	72
4.6 Grenzen der Optimierung durch Simulation	77
5 Prozessoptimierung und Herstellung von MOS-Nanotransistoren	81
5.1 Maskenlayout	81
5.2 Ätzprozessoptimierung	88
5.2.1 Trockenätzprozesse	88
5.2.2 Nasschemische Hilfsschichtentfernung	94
5.3 Potential und Grenzen des Herstellungsprozesses mit Seitenpassivierung	97
5.4 Modifiziertes LF/HF-SILO-Verfahren mit spannungsarmen Siliziumnitriden	100
5.4.1 Grundlagen der spannungsarmen PECVD-Siliziumnitridabscheidung	100
5.4.2. Entwicklung spannungsarmer PECVD-Siliziumnitridschichten	102
6 Elektrische Charakterisierung und Bauelementeanalyse	111
6.1 Statisches Verhalten der NMOS-Nanotransistoren	111
6.2 Ermittlung der inneren Steilheit der NMOS-Nanotransistoren	120
6.3 Statistische Untersuchung der NMOS-Nanotransistoren	122
6.4 Qualifizierung des LF/HF-SILO-Verfahrens	125
7 Zusammenfassung und Ausblick	129
Literaturverzeichnis	133