

# Inhalt

<b>Vorwort</b>	<b>V</b>
<b>1 Einleitung</b>	<b>1</b>
1.1 Was ist ein FPGA? .....	1
1.2 Evolution programmierbarer Logikbausteine.....	1
1.3 Evolution von Verilog.....	3
1.4 Programme und Modelle .....	5
1.4.1 Programme .....	6
1.4.2 Nicht-synthesefähige Modelle.....	7
1.4.3 Synthesefähige Modelle .....	7
1.4.4 Sprachumfang für Simulation und Synthese .....	8
1.5 Abstraktionsebenen .....	8
1.6 Aufbau des Buchs.....	9
<b>2 Programmelemente</b>	<b>11</b>
2.1 Leerzeichen und Kommentar .....	11
2.2 Ganze Zahlen.....	12
2.2.1 Sonderzeichen in Zahlen .....	12
2.3 Fließkommazahlen .....	13
2.4 Zeichenketten .....	13
2.4.1 Sonderzeichen in Zeichenketten.....	14
2.5 Bezeichner.....	14
2.5.1 Sonderzeichen in Bezeichnern .....	14
2.6 Schlüsselwörter und Systemnamen .....	15
2.7 Operatoren.....	15
2.8 Compilerdirektiven und Makros.....	15
<b>3 Datentypen</b>	<b>17</b>
3.1 Wertebereich .....	17

3.2	Signalnetz.....	18
3.3	Register .....	20
3.4	Vektoren.....	20
3.5	Implizite Signaldeklaration .....	24
3.6	Speicher.....	25
3.7	Weitere Datentypen.....	26
3.7.1	Integer .....	26
3.7.2	Time .....	26
3.7.3	Real .....	26
3.8	Parameter .....	27
<b>4</b>	<b>Ausdrücke</b>	<b>29</b>
4.1	Arithmetische Operatoren .....	30
4.2	Vergleich nach Größe .....	31
4.3	Vergleich auf Gleichheit .....	32
4.4	Logische Operatoren .....	32
4.5	Bit-weise Operatoren .....	34
4.6	Reduktion.....	35
4.7	Verschieben.....	35
4.8	Bedingung.....	36
4.9	Aneinanderreihung.....	36
4.10	Wiederholung.....	37
4.11	Operandengröße .....	37
4.12	Priorität .....	38
4.13	Zuweisungen .....	39
4.13.1	Dauerhafte Zuweisungen .....	39
4.13.2	Prozedurale Zuweisungen .....	39
4.13.3	Besonderheiten bei der Synthese.....	40
<b>5</b>	<b>Verhaltensbeschreibung</b>	<b>43</b>
5.1	Prozesse.....	43
5.2	Kontrollstrukturen.....	47
5.2.1	if, else.....	47
5.2.2	case.....	49
5.2.3	casez, casex .....	51
5.2.4	while.....	52

5.2.5	wait.....	52
5.2.6	for .....	53
5.2.7	forever .....	53
5.2.8	repeat.....	53
5.3	Blockierende und nicht-blockierende Zuweisung .....	54
5.4	Sequenzielle und parallele Blöcke.....	55
5.5	Ereignisbasierte Simulation.....	56
<b>6</b>	<b>Hierarchie</b>	<b>59</b>
6.1	Definition .....	59
6.2	Instanzierung.....	61
6.3	Parameter.....	63
6.4	Skalierbare Modelle .....	67
6.5	Modul der obersten Ebene.....	68
6.6	Simulation Top und Synthesis Top .....	69
<b>7</b>	<b>Tasks und Funktionen</b>	<b>71</b>
7.1	Funktionen.....	72
7.2	Tasks .....	75
<b>8</b>	<b>Kombinatorische Logik</b>	<b>79</b>
8.1	... modelliert mit Gattern .....	79
8.2	... modelliert mit Schaltern .....	80
8.3	... modelliert mit Zuweisungen.....	81
<b>9</b>	<b>Sequenzielle Logik</b>	<b>89</b>
9.1	Einfache Register .....	91
9.2	Zähler .....	93
9.3	Schieberegister .....	96
9.4	Taktdomänen.....	97
9.5	Anfangszustand .....	100
9.6	Externe Takte .....	102
9.7	Empfehlungen für sequenzielle Logik.....	105
9.7.1	Kombinatorischer Takt.....	105
9.7.2	Sequenzieller Takt.....	106
9.7.3	Latches .....	106

<b>10</b>	<b>Zustandsautomaten</b>	<b>109</b>
10.1	Automatentypen .....	109
10.2	Zustandskodierung .....	110
10.3	Beschreibung eines Zustandsautomaten.....	111
10.4	Zusammenarbeit von Automat und Zähler.....	115
10.5	Tricks und Kniffe .....	118
10.5.1	One-Hot-Kodierung .....	118
10.5.2	case (1).....	120
10.5.3	Sonderzustand .....	121
10.5.4	Eingangssignale .....	122
10.5.5	Reset.....	122
<b>11</b>	<b>Compilerdirektiven, Makros und Meta-Informationen</b>	<b>125</b>
11.1	`define .....	125
11.2	`ifdef, `else, `endif.....	126
11.3	`include .....	126
11.4	`timescale .....	127
11.5	Gültigkeit von Compilerdirektiven und Makros .....	127
11.6	Toolspezifisch gesetzte Merker.....	127
11.7	Meta-Informationen .....	128
11.7.1	full_case .....	130
11.7.2	parallel_case.....	130
11.7.3	translate_off / translate_on .....	130
11.7.4	keep .....	131
11.7.5	Attribute .....	131
<b>12</b>	<b>Vorgefertigte Module</b>	<b>133</b>
12.1	FIFO.....	135
12.2	Multiplikation.....	140
12.3	Division von Fließkommazahlen .....	142
<b>13</b>	<b>Entwicklungsablauf</b>	<b>145</b>
13.1	Simulator.....	147
13.2	Synthese .....	147
13.3	Timing-Analyse .....	150
13.4	Verzeichnisse .....	151
13.5	RTL und gate level.....	152

13.6	Bidirektionale Signale .....	153
<b>14</b>	<b>Systemtasks und -funktionen</b>	<b>155</b>
14.1	\$display und \$write .....	155
14.1.1	Spezielle Druckzeichen .....	156
14.1.2	Ausgabeformate .....	156
14.1.3	Größe der Datenausgabe .....	158
14.1.4	X und Z .....	158
14.1.5	Signalstärke .....	159
14.1.6	Hierarchischer Name .....	159
14.1.7	Zeichenkette .....	159
14.2	\$strobe .....	159
14.3	\$monitor .....	160
14.4	\$time .....	160
14.5	\$realtime .....	161
14.6	\$stime .....	161
14.7	\$printtimescale .....	161
14.8	\$timeformat .....	162
14.9	\$stop .....	163
14.10	\$finish .....	163
14.11	\$rtoi und \$itor .....	164
14.12	\$realtobits und \$bitstoreal .....	164
<b>15</b>	<b>Dateien</b>	<b>165</b>
15.1	Dateiausgabe .....	165
15.2	Dateieingabe .....	166
<b>16</b>	<b>Beispiele</b>	<b>169</b>
16.1	Ansteuerung einer 7-Segment-LED-Anzeige .....	170
16.2	Peripheriebaustein .....	177
16.3	Manchester-Dekoder .....	183
16.4	Kreuzkorrelation .....	190
<b>17</b>	<b>Konventionen</b>	<b>199</b>
17.1	Signalnamen .....	199
17.2	Variablen von Testprogrammen .....	200
17.3	Kommentare .....	200

17.4	Hierarchie.....	201
17.5	Formatierung.....	201
<b>18</b>	<b>Nicht erwähnte Eigenschaften</b>	<b>203</b>
18.1	Besondere Schlüsselwörter .....	203
18.2	scalared und vectored.....	203
18.3	Modellierung mit Gattern und Schaltern.....	204
18.4	Signalstärken.....	204
18.5	UDP.....	204
18.6	Prozedurale dauerhafte Zuweisungen .....	204
18.7	Makromodule .....	205
18.8	Port Collapsing.....	206
18.9	Benannte Blöcke .....	206
18.10	Vollständige hierarchische Namen.....	207
18.11	Geltungsbereich .....	207
18.12	Verzögerungsanweisung .....	208
18.13	Verzögerung.....	208
18.14	Module path delay (specify).....	209
18.15	Timing check und Notifier .....	210
18.16	Compilerdirektiven .....	210
18.17	Disabling Named Blocks and Tasks.....	211
18.18	PLI .....	211
18.19	Design Management .....	211
<b>19</b>	<b>Literaturverzeichnis</b>	<b>213</b>
<b>20</b>	<b>Sachregister</b>	<b>215</b>