

Inhaltsverzeichnis

1	Einleitung	1
1.1	Test im Entwurfsablauf	2
1.2	Ziele	3
1.3	Allgemeiner Ablauf und Anforderungen	4
1.4	Wichtige Konferenzen und wissenschaftliche Zeitschriften	9
1.5	Aufbau des Buches	10
2	Grundlagen	13
2.1	Boolesche Gatter	13
2.2	Schaltkreise	16
2.3	Zeitverhalten	18
3	Klassische Fehlermodelle	21
3.1	Haftfehler	23
3.2	Pfadverzögerungsfehler	25
3.3	Transitionsfehler	29
3.4	Mehrfach-Entdeckung	31
3.5	Fehlerlistenreduktion	31
3.5.1	Fehleräquivalenz	32
3.5.2	Fehlerdominanz	33
3.6	Einordnung und weitere Themen	34
4	Fehlersimulation	35
4.1	Basisverfahren zur Fehlersimulation	36
4.1.1	Simulation eines einzelnen Testmusters	37
4.1.2	Ereignisgesteuerte Simulation einer Testmenge	39
4.1.3	Simulation einer Testmenge mit Fault Dropping	40
4.2	Parallele Fehlersimulation	42
4.2.1	Musterparallele Fehlersimulation	43

4.2.2	Fehlerparallele Simulation	45
4.2.3	Erweiterungen der parallelen Fehlersimulation	47
4.3	Deduktive Fehlersimulation	49
4.4	Einordnung und weitere Themen	50
5	Deterministische Testmustergenerierung	53
5.1	Boolesche Differenz	54
5.2	D-Algorithmus	56
5.2.1	Fünfwertige Logik \mathcal{L}_5	57
5.2.2	Implikationen	58
5.2.3	Testmustergenerierung für verzweigungsfreie Schaltungen	60
5.2.4	Testmustergenerierung für rekonvergente Schaltungen	63
5.3	PODEM – Path-Oriented Decision Making	69
5.4	FAN – Fanout-Oriented Test Generation	75
5.4.1	Unique Sensitization	77
5.4.2	Multiple Backtracing	78
5.5	Lernverfahren	81
5.5.1	Statische Verfahren	81
5.5.2	Dynamische Verfahren	83
5.6	Boolesche Erfüllbarkeit	85
5.6.1	Schaltkreis-zu-KNF-Transformation	87
5.6.2	Testmustergenerierung mit Boolescher Erfüllbarkeit	89
5.7	Kompaktierung	93
5.7.1	Statische Kompaktierung	93
5.7.2	Dynamische Kompaktierung	97
5.8	Einordnung und weitere Themen	99
6	Sequentielle Testmustergenerierung	101
6.1	Grundlegende Modellierung	102
6.2	Algorithmen	105
6.2.1	Strukturelle Verfahren	106
6.2.2	Modellierung mittels Boolescher Erfüllbarkeit	108
6.2.3	Einsatz von Interpolation	110
6.3	Klassen von Schaltkreisen	114
6.3.1	Rückkopplungsfreie Schaltkreise	114
6.3.2	Mehrere Taktsignale	115
6.4	Einordnung und weitere Themen	117

7	Design-for-Test (DFT)	119
7.1	DFT für kombinatorische Schaltungen	120
7.2	DFT für sequentielle Schaltungen	122
7.3	Interne Prüfpfade	125
7.4	Reduktion der Testanwendungszeit	129
7.5	Partielle Prüfpfade	130
7.6	Scan-basierter Test für Verzögerungsfehler	131
7.7	Boundary Scan	134
7.8	Einordnung und weitere Themen	135
8	Selbsttest und Testdatenkompression	137
8.1	Eingebauter Selbsttest	137
8.1.1	Pseudozufällige Testerzeugung mit LFSRs	140
8.1.2	Gewichtete Zufallsmuster	144
8.2	Ausgangskompaktierung	147
8.3	Testdatenkompression	152
8.3.1	Illinois Scan	154
8.3.2	LFSR Reseeding	155
8.3.3	Embedded Deterministic Test	157
8.4	Einordnung und weitere Themen	160
9	Diagnose	163
9.1	Scan-Chain-Diagnose	165
9.1.1	Test der Prüfpfade	166
9.1.2	Berechnung oberer und unterer Schranken	167
9.1.3	Vergleichende Bewertung von Fehlerkandidaten	169
9.2	Logikdiagnose	170
9.2.1	Antwortabgleich für Haftfehler	171
9.2.2	Syndrom-Rückverfolgung für Haftfehler	175
9.2.3	Diagnose komplexer Fehler	178
9.2.4	Diagnostische Testmustergenerierung	180
9.2.5	Einordnung und weitere Themen	182
10	Speichertest	185
10.1	Fehlermodelle für Speichertest	185
10.1.1	Allgemeine Beschreibung von Fehlern im Speicher	186
10.1.2	Fehler, die eine Speicherzelle betreffen	186
10.1.3	Fehler, die mehrere Speicherzellen betreffen	188

10.2	Speichertestmethoden	189
10.2.1	Frühe Speichertestmethoden	189
10.2.2	March-Tests	190
10.3	Selbsttest und Selbstreparatur	194
10.4	Einordnung und weitere Themen	196
11	Aktuelle Themen	197
11.1	Moderne Fehlermodelle	197
11.1.1	Mehrfache Entdeckung und erschöpfende Testmuster	197
11.1.2	Defektbasierter Test	198
11.1.3	Kleine Verzögerungsfehler und Parametervariationen	199
11.1.4	Allgemeine Fehlermodellierung	200
11.2	Energieverbrauch in der Testanwendung	201
11.3	Test 3D-integrierter Schaltungen	202
11.4	Einordnung und weitere Themen	204
A	Symboltabelle	207
Literaturverzeichnis		209
Index		225