

Inhaltsverzeichnis

Einleitung	1
I VHDL-Crashkurs	7
1 Entwurf eines Morsecode-Detektors	11
1.1 Schnittstelle des Morsecode-Detektors	13
1.2 Eine erste Realisierung des Morsecode-Detektors	17
1.2.1 Externer Taktgeber und der Taktteiler <code>clock_divider</code>	17
1.2.2 Der Baustein <code>press_duration</code>	20
1.2.3 Architektur des Bausteins <code>morse</code>	24
1.3 Verwendung endlicher Automaten	31
2 VHDL – Ein Überblick	35
2.1 Die verschiedenen Sichten in VHDL	35
2.1.1 Strukturelle Beschreibungen	35
2.1.2 Funktionale Beschreibungen	36
2.2 Simulation von VHDL-Beschreibungen	36
2.2.1 Signalwertzuweisungen und Signalaktualisierungen	38
2.2.2 Modellierung des Zeitverhaltens von Bausteinen	39
2.2.3 Ausführung eines Prozesses	47
2.2.4 Initialisierungsphase	49
2.2.5 Aktualisierungsphase	50
2.2.6 Ausführungsphase	52
2.2.7 Stopptregeln	52
2.2.8 Auswirkungen der Semantik von VHDL	52
3 Aufbau und Grundkonzepte von VHDL	55
3.1 Genereller Aufbau einer VHDL-Spezifikation	55
3.1.1 Schnittstellenbeschreibung eines Bausteins	55
3.1.2 Architekturen eines Bausteins	60
3.1.3 Konfigurationen	67
3.2 Variablen, Signale und Konstanten	71
3.2.1 Deklaration von Variablen, Signalen und Konstanten	71

3.2.2	Variablen- und Signalzuweisungen	72
3.2.3	Signalbasierte Attribute	72
3.3	Datentypen und Subtypen	73
3.3.1	Skalare Datentypen	75
3.3.2	Zusammengesetzte Datentypen	82
3.3.3	Zeiger in VHDL	91
3.3.4	Das Datei-Konzept	93
3.4	Sequentielle Anweisungen und Kontrollstrukturen	95
3.4.1	Bedingte Verzweigungen und Fallunterscheidungen	96
3.4.2	Schleifen	99
3.4.3	Weitere Anweisungen	102
3.4.4	Funktionen und Prozeduren	105
3.5	Nebenläufige Anweisungen und Konstrukte	105
3.5.1	Die nebenläufige assert -Anweisung	105
3.5.2	Die nebenläufigen Signalzuweisungen	106
3.6	Attribute	107
3.6.1	Selbstdefinierte Attribute	107
3.6.2	Vordefinierte Attribute	108

II Bibliotheken und Packages 109

4	Funktionen und Prozeduren	113
4.1	Funktionen	113
4.1.1	Funktionen mit unbeschränkten formalen Parametern	114
4.1.2	Funktionen mit unterbestimmten Ausgabetypr	116
4.1.3	Überladen von Funktionen	116
4.1.4	„Saubere“ und „unreine“ Funktionen	117
4.2	Prozeduren	118
5	Packages	121
5.1	Erläuterungen an einem Beispiel	121
5.2	Das standard-Package	123
5.2.1	Vordefinierte skalare Datentypen	123
5.2.2	Vordefinierte physikalische Datentypen	126
5.2.3	Vordefinierte Subtypen, Felder und die Funktion now	127
5.2.4	Datentypen zum Arbeiten mit Dateien	128
5.3	Das IEEE Standard Logic Package	129
5.3.1	Der Datentyp std_ulogic	129
5.3.2	Der Subtyp std_logic	130
5.3.3	Weitere Subtypen von std_ulogic	132
5.3.4	Auf std_ulogic definierte logische Operatoren	132

5.3.5	Konvertierungsfunktionen	133
5.3.6	Dektion der Flanken auf Signalen	136
5.3.7	Sonstige Funktionen	136
5.4	Das <code>textio</code> -Package	137
5.4.1	Vordefinierte Datentypen	137
5.4.2	Ein- und Ausgabe-Prozeduren	139
5.5	Das <code>numeric_std</code> -Package	144
5.6	Generische Packages	144

III Beispielschaltungen 147

6	Addierer und Subtrahierer	151
6.1	Absorbierende, propagierende und generierende Blöcke	155
6.2	Das APG-Package	158
6.2.1	Die Deklaration	158
6.2.2	Die Implementierung	160
6.3	Allgemeiner Aufbau eines Addierers	161
6.4	Serielle Addierer	167
6.5	Schnelle Addierer nach dem Ladner/Fisher-Prinzip	169
7	Reaktionstest-Spiel	173
7.1	Die Spielbeschreibung	173
7.2	Syntheserichtlinien für synchrone sequentielle VHDL-Entwürfe	174
7.2.1	Synchrone flankengesteuerte Schaltungen	176
7.2.2	Synchrone phasengesteuerte Schaltungen	178
7.2.3	Tristate-Treiber	179
7.2.4	Direktiven zur selektiven Auswahl von VHDL-Code	179
7.3	VHDL-Beschreibung des Spiels	180
7.3.1	Variable Taktteilung	180
7.3.2	Generierung von Pseudo-Zufallszahlen	185
7.3.3	Veränderung der Geschwindigkeit des Lauflichtes	187
7.3.4	Ansteuerung der 7-Segment-Anzeigen	188
7.3.5	Ansteuerung der LED-Zeile und der <i>game over</i> -Behandlung	188
7.3.6	Die Gesamtschaltung	191

IV	Validierung von VHDL-Beschreibungen	197
8	Testbenches für APG-Addierer	205
8.1	Vollständige Validierung eines Addierers	206
8.2	Validierung von Addierern bei großer Bitbreite	208
8.2.1	Stimuli, die ausgewählte Ereignisse im Baustein auslösen	209
8.2.2	Anlegen von Pseudo-Zufallszahlen.....	211
9	Testbenches für komplexe Entwürfe	213
9.1	Xilinx MicroBlaze und Multimedia Demonstration Board	213
9.2	Ansteuerung des Videocodierers ADV7194.....	214
9.2.1	Der I ² C-Bus	216
9.2.2	Der Baustein i2cTop zur Ansteuerung des I ² C-Busses	217
9.2.3	Eine einfache Testbench	224
9.2.4	Eine Testbench auf Kommandobasis	226
9.2.5	Eine Testbench mit Kommando-Interpreter	229
9.3	Dynamische Rekonfigurierung	232
V	VHDL IEEE Std 1076-1993	243
10	Reservierte Wörter	245
11	Die formale Syntax	247
11.1	Verwendete Schreibweisen	247
11.2	Die Syntax	248
Literaturverzeichnis		265
Index		269