

Inhaltsverzeichnis

Abbildungsverzeichnis ix

Tabellenverzeichnis xiii

1 Einleitung 1

1.1 Motivation 3

1.2 Problemstellung 7

1.3 Abgrenzung dieser Arbeit 10

1.4 Aufbau dieser Arbeit 12

2 Prozessorsimulation 15

2.1 Instruktionsgenaue Simulation 17

2.2 Zyklengenaue Simulation 21

2.3 Hybride Simulation 25

2.4 Alternative Ansätze 27

2.5 Verwandte Arbeiten 29

3 Lösungskonzept 33

3.1 Evaluationsplattform 36

3.1.1 Simulationsumgebung 37

3.1.2 Softwareumgebung 39

3.1.3 Benchmarks 42

3.1.4 RISC-V Befehlssatzarchitektur 45

3.2 Referenzarchitekturen 48

3.2.1 SPCPU 50

3.2.2 CVA6 / Ariane 52

3.2.3 OOOV 55

3.3 Simulationsansätze 57

3.3.1 Instruktionsgewichte 60

3.3.2 Instruktionsgetriebene Simulation 61

3.3.3 Taktgetriebene Simulation 67

3.4 Konfiguration der Simulatoren 69

3.4.1 Instruktionsgewichtbestimmung 70

3.4.2 Architekturkonfiguration 73

- 4 Realisierung der Simulationen 77**
 - 4.1 Simulationsumgebung 78
 - 4.2 Simulation mittels Just-In-Time-Emulation 80
 - 4.2.1 Laufzeitvorhersage mittels Instruktionsgewichten . . . 84
 - 4.2.2 Laufzeitvorhersage mittels eines instruktionsgetriebe-
nen Modells 88
 - 4.3 Simulation mittels taktgetriebener Architekturnachbildung . . 93
 - 4.4 Algorithmenkonfiguration 96
- 5 Auswertung 105**
 - 5.1 Konfigurationsqualität 105
 - 5.1.1 Instruktionsgewichte 106
 - 5.1.2 Randomisierte Suche 108
 - 5.1.3 Genetischer Algorithmus 115
 - 5.1.4 Zusammenfassung der Ergebnisse der algorithmischen
Konfiguration 118
 - 5.2 Metriken 120
 - 5.3 Ergebnisse 125
 - 5.3.1 Vorhersagefehler der Simulationen 125
 - 5.3.2 Normalisierte Simulationslaufzeiten 128
 - 5.3.3 Anwendung der Metriken 133
 - 5.4 Fazit 141
 - 5.4.1 Eignung der Konfigurationsansätze 142
 - 5.4.2 Eignung der Simulationsansätze 144
- 6 Zusammenfassung und Ausblick 149**
- Literaturverzeichnis 153**
- Anhang 167**