

Inhaltsverzeichnis

1	Einleitung	1
1.1	Integrierte Elektronische Systeme	1
1.2	Entwurf der mikroelektronischen Hardware: Modellierung und Abstraktion	3
1.3	Electronic System Level Design	8
1.4	SystemC als Modellierungssprache	13
1.5	Leistungsfähigkeit von Simulationsmodellen	15
1.6	Bussysteme für SOCs	17
1.7	Ziele und Aufbau des Buches	22
2	C++-Grundlagen	27
2.1	Klassen und Objekte	27
2.2	Hierarchischer Aufbau eines C++-Modells	30
2.3	Modellaufbau durch Vererbung	33
2.4	Dynamische Instanzierung von Objekten	36
2.5	Virtuelle Funktionen und abstrakte Basisklassen	40
2.6	Template-Klassen	43
2.7	Übergabe von Funktionsargumenten durch Referenzen	47
3	Register-Transfer-Level-Modellierung mit SystemC	49
3.1	Der Aufbau der SystemC-Bibliothek	49
3.2	Einführung in SystemC anhand eines Beispiels	51
3.2.1	Das Beispiel in VHDL	52
3.2.2	Das Beispiel in SystemC	54
3.3	Strukturierung durch Module	57
3.4	Nebenläufigkeit durch Prozesse	61
3.4.1	Method-Prozesse	62
3.4.2	Thread-Prozesse	63
3.4.3	Clocked-Thread-Prozesse	67

3.5	Verbindung durch Ports und Signale	69
3.5.1	Ports	69
3.5.2	Signale	71
3.5.3	Port-Signal-Bindungen	73
3.6	Simulation von SystemC-Modellen	78
3.6.1	Elaboration und Simulation des Modells	78
3.6.2	Modellierung der Zeit	80
3.6.3	Debugging und Ausgabe von Waveform-Traces	84
3.7	SystemC-Datentypen	86
3.7.1	SystemC Logik-Datentypen	86
3.7.2	SystemC Integer-Datentypen	92
3.7.3	SystemC Festkomma-Datentypen	95
3.8	Kontrollfragen und Übungsaufgaben	101
4	Ports, Interfaces und Kanäle	103
4.1	Ports und Interfaces	103
4.2	Kanäle	107
4.2.1	Primitive Kanäle	107
4.2.2	Hierarchische Kanäle	113
4.3	Hierarchische Bindungen: Ports und Exports	116
4.4	Mehrfache Bindungen	121
4.4.1	Multi-Ports	121
4.4.2	Port-Felder	126
4.4.3	Bindung eines Kanals an mehrere Ports	128
4.5	Kontrollfragen und Übungsaufgaben	131
5	Simulation von SystemC-Modellen	133
5.1	Das Simulationsverfahren	133
5.1.1	Ereignisgesteuerte Simulation im SystemC-Scheduler	133
5.1.2	Request-Update-Mechanismus und Ereignis-Objekte	143
5.2	Steuerung der Prozessausführung	148
5.2.1	Statische und dynamische Sensitivität	148
5.2.2	Steuerung von Thread-Prozessen durch blockierende Interface-Methoden	153
5.2.3	Ereignisse mit Delta- und Zeit-Notifikationen	157
5.2.4	Unmittelbare Notifikationen	160
5.3	Ereignisse in hierarchischen Bindungen und Event Finder	162
5.4	Event Queues	166
5.5	Dynamische Prozesse	168
5.5.1	Erzeugen von Prozessen mit der Funktion <code>sc_spawn</code>	169
5.5.2	Prozess-Handles	172

5.6	Callback-Funktionen für Elaboration und Simulation	174
5.7	Der SystemC Report-Handler	177
5.8	Kontrollfragen und Übungsaufgaben	180
6	Transaction-Level-Modellierung mit SystemC	183
6.1	Modellierung von Systemen auf der Transaktionsebene	184
6.1.1	Modellierung eines einfachen Bussystems	185
6.1.2	Darstellung von Transaktionen mit Sequenzdiagrammen	191
6.2	Die TLM-2.0 Bibliothek	192
6.3	Interfaces und Sockets	194
6.3.1	Interfaces, Sockets und das Transaktionsobjekt	194
6.3.2	Interfaces für den Vorwärtspfad	196
6.3.3	Interfaces für den Rückwärtspfad	198
6.3.4	Initiator- und Target-Sockets	199
6.3.5	Initiator-, Target- und Interconnect-Komponenten	204
6.3.6	Hierarchische Socket-Bindungen	209
6.3.7	Vereinfachte Sockets	211
6.4	Das Transaktionsobjekt	214
6.4.1	Attribute und Methoden des Transaktionsobjekts	214
6.4.2	Einzel-Transfers und Burst-Transfers	218
6.4.3	Verwendung von Byte-Enables	222
6.4.4	Verwendung des Streaming-Weite-Attributs	226
6.5	Aufbau von System-Modellen auf Transaktionsebene	230
6.5.1	Vorgehensweise beim Aufbau von TLM-Modellen	231
6.5.2	Der DLX-Mikroprozessor als Initiator	232
6.5.3	Interconnect und Hauptspeicher	240
6.5.4	Ein Peripheriemodell	243
6.5.5	Toplevel und Simulation des Systems	245
6.6	Messung der Simulationsleistung	249
6.7	Kontrollfragen und Übungsaufgaben	253
7	Modellierung der zeitlichen Abläufe in TL-Modellen	257
7.1	Modellierungsstil „Loosely-Timed“	257
7.1.1	Zeitliche Entkopplung von Prozessen	258
7.1.2	Das globale Quantum und der „Quantum Keeper“	261
7.1.3	Transaktionen mit entkoppelten Prozessen	265
7.1.4	Globales Quantum und Simulationsleistung	269

7.2	Grundlagen des „Approximately-Timed“-Stils	279
7.2.1	Das Basisprotokoll für den AT-Stil	280
7.2.2	AT-Transaktionen unter Benutzung des „Return-Pfads“	283
7.2.3	AT-Transaktionen unter Benutzung des Gegenpfads	289
7.2.4	Erlaubte Phasenübergänge	293
7.3	Verwendung eines Memory-Managers für den AT-Stil	296
7.4	Zeit-Annotationen und „Payload Event Queues“	305
7.5	Die Funktion des Interconnects bei AT-Transaktionen	315
7.6	Kontrollfragen und Übungsaufgaben	322
A	Anhang	325
A.1	Kodierstil für die Quellcode-Beispiele des Buchs	326
A.2	SystemC mit Microsoft „Visual Studio 2008“	327
A.2.1	Installation der SystemC-Bibliothek	327
A.2.2	Anlegen eines SystemC-Projektes in Visual Studio	327
A.2.3	Hinweis zur neuesten Release 2.3 der SystemC-Bibliothek	328
A.3	Debugger-Funktionen des DLX-ISS	329
Quellenverzeichnis		331
Formelzeichen und Abkürzungen		335
Sachregister		339