

W. Schiffmann · R. Schmitz

Technische Informatik 2

Grundlagen der Computertechnik

2., überarbeitete Auflage

Mit 106 Abbildungen

Springer-Verlag
Berlin Heidelberg New York
London Paris Tokyo
Hong Kong Barcelona Budapest

Inhaltsverzeichnis

1 Komplexe Schaltwerke	1
1.1 Aufbau eines Schaltwerks	1
1.2 Zeitverhalten von Schaltwerken	2
1.2.1 Dynamische Flipflop-Kenngrößen	2
1.2.2 Rückkopplungsbedingungen	4
1.3 Entwurf von Schaltwerken	6
1.4 Kooperierende Schaltwerke	7
1.5 Konstruktionsregeln für Operationswerke	8
1.6 Entwurf eines Steuerwerks	9
1.7 Beispiel: $Y = aX + b$	10
1.7.1 Operationswerk I	12
1.7.2 Operationswerk II	13
1.7.3 Operationswerk III	16
1.8 Simulationsprogramm eines Operationswerks	16
1.8.1 Aufbau des Operationswerks	16
1.8.2 Benutzung des Programms	17
1.8.3 Betriebsarten und Befehle	18
1.8.4 Beispielprogramme	20
2 von NEUMANN-Rechner	24
2.1 Grundkonzept	24
2.2 Interne und externe Busse	28
2.3 Prozessorregister	30
2.3.1 Stackpointer	30
2.3.2 Unterprogramme	31
2.3.3 Interrupts	33
2.4 Rechenwerk	40
2.4.1 Daten-Register	40
2.4.2 Adreß-Rechnungen	41

2.4.3	Datenpfade	41
2.4.4	Schiebemultiplexer	42
2.4.5	Dual-Addition	43
2.4.6	Ripple Carry Adder	45
2.4.7	Carry Look Ahead Adder	46
2.4.8	Mehrstufige Carry Look Ahead Adder	48
2.4.9	Zeitanalyse	50
2.4.10	Logische Operationen	51
2.4.11	Status-Flags	53
2.5	Leitwerk	55
2.5.1	Mikroprogrammierung	55
2.5.2	Grundstruktur eines Mikroprogramm-Steuerwerks	56
2.5.3	Mikrobefehlsformat	57
2.5.4	Adre��erzeugung	57
2.6	Mikroprogrammierung einer RALU	59
2.6.1	Aufbau der RALU	59
2.6.2	Benutzung des Programms	60
2.6.3	Setzen von Registern	60
2.6.4	Steuerwort der RALU	61
2.6.5	Takten und Anzeigen der RALU	62
2.6.6	Statusregister und Sprungbefehle	62
2.6.7	Kommentare und Verkettung von Befehlen	63
2.6.8	Beispielprogramme	63
3	Hardware-Parallelit��t	68
3.1	Direkter Speicherzugriff	69
3.2	Ein-/Ausgabe Prozessoren	71
3.3	HARVARD-Architektur	72
3.4	Gleitkomma-Einheiten	73
3.4.1	Gleitkomma-Darstellung	73
3.4.2	Beispiel: IEEE-754 Standard	75
3.4.3	Anschlu�� von Gleitkomma-Einheiten	76
3.5	Klassifikation nach Flynn	77
3.6	Pipeline-Prozessoren	79
3.6.1	Aufbau einer Pipeline	79
3.6.2	Time-Space Diagramme	80
3.6.3	Bewertungsma��e	81
3.6.4	Pipeline-Arten	82
3.6.5	Beispiel: Gleitkomma-Addierer	85
3.7	Array-Prozessoren (Feldrechner)	88

3.7.1	Verbindungs-Netzwerk	88
3.7.2	Shuffle-Exchange Netz	90
3.7.3	Omega-Netzwerk	91
3.7.4	Beispiel: Matrix-Multiplikation	92
4	Complex Instruction Set Computer	95
4.1	Befehlssatz	95
4.1.1	Effizienz	95
4.1.2	Orthogonalität	96
4.1.3	Regularität	96
4.1.4	Länge des Opcodes	96
4.1.5	Befehlsarten	97
4.1.6	Adressierungsarten	98
4.2	Merkmale von CISC-Prozessoren	100
4.3	Motorola 68000	103
4.3.1	Datenformate	103
4.3.2	Register	104
4.3.3	Organisation der Daten im Hauptspeicher	105
4.3.4	Adressierungsarten	105
4.3.5	Befehlssatz	106
4.3.6	Exception Processing	110
4.3.7	Entwicklung zum 68040	112
5	Reduced Instruction Set Computer	115
5.1	Architekturmerkmale	116
5.1.1	Erste RISC-Prozessoren	116
5.1.2	RISC-Definition	116
5.1.3	Befehls-Pipelining	117
5.1.4	Hardware zur optimalen Pipeline-Auslastung	119
5.1.5	Überlappende Registerfenster	121
5.2	Optimierende Compiler	123
5.2.1	Delayed LOAD	124
5.2.2	Delayed Branch	125
5.2.3	Optimierung von Datenfluß-Konflikten	126
5.3	Leistungsbewertung	126
5.3.1	MIPS- und MFLOPS-Angaben	127
5.3.2	Benchmark-Programme	129
5.4	Beispiele für RISC-Architekturen	133
5.4.1	IBM 801	133
5.4.2	Berkely RISC II	133

5.4.3	Stanford MIPS	134
5.4.4	INMOS Transputer T414/T800	134
5.4.5	AMD 29000	135
5.4.6	SUN- 4/200 SPARC	135
5.4.7	Intel 80860	136
5.4.8	Motorola 88000	136
5.5	Motorolas 88000 RISC-Familie	137
5.5.1	Architektur des 88100	137
5.5.2	CMMU 88200	141
6	Kommunikation	143
6.1	Parallele und serielle Busse	144
6.2	Busprotokolle	145
6.3	Verbindungsstopologien	145
6.4	Parallelbusse	148
6.4.1	Busfunktionen und Businterface	149
6.4.2	Mechanischer Aufbau	151
6.4.3	Elektrische Realisierung	151
6.4.4	Busarbitrierung	153
6.4.5	Übertragungsprotokolle	158
6.4.6	Beispiele für standardisierte Parallelbusse	165
6.5	Serielle Übertragung	170
6.5.1	Verwürfler und Entwürfler	171
6.5.2	Betriebsarten	171
6.5.3	Synchrone Übertragung	173
6.5.4	Asynchrone Übertragung	173
6.5.5	Leitungscodes	174
6.6	Basisbandübertragung	176
6.7	Breitbandübertragung	176
6.7.1	Übertragungssicherung	177
6.7.2	Zyklische Blocksicherung (CRC)	178
6.7.3	Ethernet-LAN	180
6.7.4	Token-Ring	185
6.7.5	Token-Bus	186
6.7.6	Kopplung von LANs	187
6.8	WANs	188
6.8.1	Vermittlungstechnik	188
6.8.2	Betrieb von WANs	190
6.9	OSI-Modell	192

7 Speicher	197
7.1 Halbleiterspeicher	199
7.1.1 Speicher mit wahlfreiem Zugriff	199
7.1.2 Pufferspeicher mit serielltem Zugriff	209
7.1.3 Assoziativspeicher (CAM)	211
7.2 Magnetomotorische Speicher	212
7.2.1 Speicherprinzip	213
7.2.2 Schreiben	213
7.2.3 Lesen	214
7.2.4 Speichermedien	215
7.2.5 Aufzeichnungsverfahren	215
7.2.6 Peak-Shift-Effekt	221
7.2.7 Formatierung	223
7.2.8 Festplatten-Controller	224
7.3 Speicherverwaltung	227
7.3.1 Segmentierung	228
7.3.2 Paging	229
7.3.3 Adreßumsetzung	230
7.3.4 Hauptspeicherzuteilung (Allocation)	232
7.3.5 Hardware-Unterstützung virtueller Speicher	235
7.3.6 Caches	237
7.3.7 Datei-Organisation	241
8 Ein-/Ausgabe und Peripheriegeräte	244
8.1 Parallele Ein-/Ausgabe	244
8.2 Serielle Ein-/Ausgabe	246
8.2.1 Asynchronbetrieb	246
8.2.2 Synchronbetrieb	248
8.3 Zeitgeber (Timer)	248
8.4 Analoge Ein-/Ausgabe	249
8.4.1 D/A-Umsetzer	249
8.4.2 A/D-Umsetzer	254
8.5 Funktionsprinzipien ausgewählter Peripheriegeräte	258
8.5.1 Mäuse	258
8.5.2 Video-Monitore	260
8.5.3 Drucker	264
A Kurzreferenz Programm opw	269
B Kurzreferenz Programm ralu	270

C Abkürzungen	271
Literaturverzeichnis	274
Sachverzeichnis	278

Auszug des Inhalts von Band 1

1. Grundlagen der Elektrotechnik
2. Halbleiterbauelemente
3. Elektronische Verknüpfungsglieder
4. Schaltnetze
5. Speicherglieder
6. Schaltwerke
7. Integrierte Schaltungen