

Inhaltsverzeichnis

1 Komplexe Schaltwerke	1
1.1 Aufbau eines Schaltwerks	1
1.2 Zeitverhalten von Schaltwerken	2
1.2.1 Dynamische Flipflop-Kenngrößen	2
1.2.2 Rückkopplungsbedingungen	4
1.3 Konventioneller Entwurf von Schaltwerken	6
1.4 Kooperierende Schaltwerke	7
1.5 Konstruktionsregeln für Operationswerke	8
1.6 Entwurf eines Steuerwerks	9
1.7 Beispiel: $Y = aX + b$	10
1.7.1 Operationswerk I	12
1.7.2 Operationswerk II	13
1.7.3 Operationswerk III	15
1.8 Simulationsprogramm eines Operationswerks	16
1.8.1 Aufbau des Operationswerks	16
1.8.2 Benutzung des Programms	18
1.8.3 Betriebsarten und Befehle	18
1.8.4 Beispielprogramme	20
2 von NEUMANN-Rechner	24
2.1 Grundkonzept	24
2.2 Interne und externe Busse	28
2.3 Prozessorregister	30
2.3.1 Stackpointer	30
2.3.2 Unterprogramme	32
2.3.3 Interrupts	33
2.4 Rechenwerk	40
2.4.1 Daten-Register	40
2.4.2 Adreß-Rechnungen	41

2.4.3	Datenpfade	41
2.4.4	Schiebemultiplexer	42
2.4.5	Arithmetische Operationen	43
2.4.6	Dual-Addition	43
2.4.7	Ripple Carry Adder	45
2.4.8	Carry Look Ahead Adder	46
2.4.9	Mehrstufige Carry Look Ahead Adder	48
2.4.10	Zeitanalyse	49
2.4.11	Logische Operationen	51
2.4.12	Status-Flags	52
2.5	Leitwerk	53
2.5.1	Mikroprogrammierung	53
2.5.2	Grundstruktur eines Mikroprogramm-Steuerwerks	54
2.5.3	Mikrobefehlsformat	54
2.5.4	Adreßerzeugung	55
2.6	Mikroprogrammierung einer RALU	57
2.6.1	Aufbau der RALU	57
2.6.2	Benutzung des Programms	57
2.6.3	Setzen von Registern	58
2.6.4	Steuerwort der RALU	58
2.6.5	Takten der RALU	59
2.6.6	Statusregister und Sprungbefehle	60
2.6.7	Kommentare und Verkettung von Befehlen	61
2.6.8	Beispielprogramme	61
3	Hardware-Parallelität	66
3.1	Direkter Speicherzugriff	67
3.2	Ein-/Ausgabe Prozessoren	69
3.3	HARVARD-Architektur	70
3.4	Gleitkomma-Einheiten	70
3.4.1	Gleitkomma-Darstellung	71
3.4.2	Beispiel: IEEE-754 Standard	73
3.4.3	Anschluß von Gleitkomma-Einheiten	74
3.5	Klassifikation nach Flynn	75
3.6	Pipeline-Prozessoren	77
3.6.1	Aufbau einer Pipeline	77
3.6.2	Time-Space Diagramme	78
3.6.3	Bewertungsmaße	79
3.6.4	Pipeline-Arten	80
3.6.5	Beispiel: Gleitkomma-Addierer	83

3.7	Array-Prozessoren (Feldrechner)	86
3.7.1	Verbindungs-Netzwerk	87
3.7.2	Shuffle-Exchange Netz	88
3.7.3	Omega-Netzwerk	89
3.7.4	Beispiel: Matrix-Multiplikation	90
4	Complex Instruction Set Computer	93
4.1	Befehlssatz	93
4.1.1	Effizienz	93
4.1.2	Orthogonalität	94
4.1.3	Regularität	94
4.1.4	Länge des Opcodes	94
4.1.5	Befehlsarten	95
4.1.6	Adressierungsarten	96
4.2	Merkmale von CISC-Prozessoren	98
4.3	Motorola 68000	101
4.3.1	Datenformate	101
4.3.2	Register	102
4.3.3	Organisation der Daten im Hauptspeicher	103
4.3.4	Adressierungsarten	103
4.3.5	Befehlssatz	104
4.3.6	Exception Processing	108
4.3.7	Entwicklung zum 68040	110
5	Reduced Instruction Set Computer	112
5.1	Architekturmerkmale	113
5.1.1	Erste RISC-Prozessoren	113
5.1.2	RISC-Definition	114
5.1.3	Befehls-Pipelining	114
5.1.4	Hardware zur optimalen Pipeline-Auslastung	117
5.1.5	Überlappende Registerfenster	119
5.2	Optimierende Compiler	120
5.2.1	Delayed LOAD	121
5.2.2	Delayed Branch	122
5.2.3	Optimierung von Datenfluß-Konflikten	123
5.3	Leistungsbewertung	124
5.3.1	MIPS- und MFLOPS-Angaben	125
5.3.2	Benchmark-Programme	127
5.4	Beispiele für RISC-Architekturen	130
5.4.1	IBM 801	131

5.4.2	Berkley RISC II	131
5.4.3	Stanford MIPS	132
5.4.4	INMOS Transputer T414/T800	132
5.4.5	AMD 29000	133
5.4.6	SUN- 4/200 SPARC	133
5.4.7	Intel 80860	134
5.4.8	Motorola 88000	134
5.5	Motorolas 88000 RISC-Familie	135
5.5.1	Architektur des 88100	135
5.5.2	CMMU 88200	139
6	Kommunikation	141
6.1	Parallele und serielle Busse	142
6.2	Busprotokolle	143
6.3	Verbindungstopologien	143
6.4	Parallelbusse	146
6.4.1	Busfunktionen und Businterface	147
6.4.2	Mechanischer Aufbau	149
6.4.3	Elektrische Realisierung	149
6.4.4	Busarbitrierung	151
6.4.5	Übertragungsprotokolle	156
6.4.6	Beispiele für standardisierte Parallelbusse	163
6.5	Serielle Übertragung	167
6.5.1	Verwürfler und Entwürfler	169
6.5.2	Betriebsarten	169
6.5.3	Synchrone Übertragung	170
6.5.4	Asynchrone Übertragung	171
6.5.5	Leitungscode	171
6.5.6	Basisbandübertragung	173
6.5.7	Breitbandübertragung	174
6.5.8	Übertragungssicherung	175
6.5.9	Zyklische Blocksicherung (CRC)	175
6.5.10	Ethernet-LAN	178
6.5.11	Token-Ring	183
6.5.12	Token-Bus	184
6.5.13	Kopplung von LANs	184
6.6	WANs	186
6.6.1	Vermittlungstechnik	186
6.6.2	Betrieb von WANs	188
6.7	OSI-Modell	191

7 Speicher	195
7.1 Halbleiterspeicher	196
7.1.1 Register	197
7.1.2 Speicherorganisation	197
7.1.3 Schreib/Lese-Speicher	199
7.1.4 Festwertspeicher	204
7.1.5 Pufferspeicher	207
7.1.6 Assoziativspeicher (CAM)	209
7.2 Magnetomotorische Speicher	211
7.2.1 Speicherprinzip	211
7.2.2 Schreiben	212
7.2.3 Lesen	212
7.2.4 Speichermedien	213
7.2.5 Aufzeichnungsverfahren	213
7.2.6 Peak-Shift-Effekt	219
7.2.7 Formatierung	221
7.2.8 Festplatten-Controller	223
7.3 Speicherverwaltung	225
7.3.1 Segmentierung	226
7.3.2 Paging	227
7.3.3 Adreß-Umsetzung	228
7.3.4 Memory Manangement Unit	230
7.3.5 Speicherschutz und Sicherheit	230
7.3.6 Hauptspeicher-Allocation	232
7.3.7 Unterstützung virtueller Speicher durch CPU/MMU	235
7.3.8 Caches	237
7.4 Datei-Organisation	242
8 Ein-/Ausgabe und Peripheriegeräte	244
8.1 Parallele Ein-/Ausgabe	244
8.2 Serielle Ein-/Ausgabe	245
8.2.1 Asynchronbetrieb	246
8.2.2 Synchronbetrieb	247
8.3 Zeitgeber (Timer)	248
8.4 Analoge Ein-/Ausgabe	248
8.4.1 Digital-/Analog Umsetzer	249
8.4.2 Analog-/Digital Umsetzer	253
8.5 Funktionsprinzipien ausgewählter Peripheriegeräte	258
8.5.1 Mäuse	258
8.5.2 Video-Monitore	260
8.5.3 Drucker	264

Inhaltsverzeichnis	XIII
A Bezugsadresse für Simulationsprogramme	269
B Kurzreferenz Programm OPW	270
C Kurzreferenz Programm RALU	271
D Abkürzungen	272
Literaturverzeichnis	274
Sachverzeichnis	278