

Inhaltsverzeichnis

1 Einleitung	1
2 Physik und Herstellung von MOS-Transistoren	4
2.1 Einleitung	4
2.2 Modelle für den MOS-Transistor	5
2.2.1 Überblick über die Physik von MOS-Transistoren	5
2.2.2 Einsatzspannung	8
2.2.3 Idealisierte Stromgleichungen	10
2.2.3.1 Überblick über die Stromgleichungen	14
2.2.4 Effekte zweiter Ordnung	15
2.2.4.1 Unterschwellenstrombereich	15
2.2.4.2 Kanallängenmodulation	16
2.2.4.3 Temperatureffekte	17
2.2.5 Strukturverkleinerung	18
2.2.5.1 Regeln für die Strukturverkleinerung	18
2.2.5.2 Kurzkanaleffekte	19
2.2.6 Ersatzschaltbilder für den MOS-Transistor	25
2.2.6.1 Inneres Modell des MOS-Transistors	25
2.2.6.2 Äußeres Modell des MOS-Transistors	26
2.2.6.3 Kleinsignal-Ersatzschaltbild	28
2.2.7 Schaltkreissimulator SPICE	29
2.2.7.1 SPICE MOS-Transistormodelle	30
2.3 Einführung in die Herstellung von integrierten MOS-Schaltungen	32
2.3.1 Einleitung	32
2.3.2 Wichtige Einzelprozesse	33
2.3.2.1 Kristallwachstum	33
2.3.2.2 Fotolithografie und Maskenherstellung	34
2.3.2.3 Selektives Entfernen von Material	35
2.3.2.4 Aufbringen von Material	36
2.3.3 N-well CMOS-Prozeß	38
2.3.4 Technologiebedingte Effekte und Regeln	43
2.3.4.1 „latch up“-Effekt	43
2.3.4.2 Designregeln	46
2.3.4.3 Ausbeute	49
2.3.4.4 Wärmeableitung	50
3 Grundschaltungen	51
3.1 Idealisiertes Logikelement	51
3.2 Störungen und Störabstände	53

3.3	MOS-Inverter	57
	3.3.1 Einleitung	57
	3.3.2 Inverter mit passiver Last	58
	3.3.3 CMOS-Inverter	63
	3.3.3.1 Gleichstromverhalten	64
	3.3.3.2 Kleinsignalübertragungsfunktion	67
	3.3.3.3 Schaltverhalten	69
3.4	Verlustleistung und Power-Delay-Produkt	77
	3.4.1 Statische Verlustleistung	77
	3.4.2 Dynamische Verlustleistung	78
3.5	Analoge Grundschaltungen	80
	3.5.1 Einleitung	80
	3.5.2 Strom-Spiegel-Schaltungen	80
	3.5.3 MOS-Differenzstufen	82
3.6	Dynamische Grundschaltungen	86
	3.6.1 Bootstrap-Schaltungen und Transfer-Transistoren	86
	3.6.2 Verriegelungsschaltung (C^2MOS -Schaltung)	91
3.7	Treiberschaltungen	92
	3.7.1 Einleitung	92
	3.7.2 Inverterkette	92
	3.7.3 Repeater	94
	3.7.4 Tristate-Treiber	97
	3.7.5 Eingangs- und Ausgangsschaltungen	98
	3.7.5.1 Eingangsschaltungen	99
	3.7.5.2 Ausgangsschaltungen	100
3.8	CMOS-Logik	102
	3.8.1 Komplementäre MOS-Logik	102
	3.8.2 Pseudo-NMOS-Logik	109
	3.8.3 Pass-Transistor-Logik	110
	3.8.4 Dynamische CMOS-Logik	112
	3.8.5 CVS-Logik	115
3.9	Bistabile Schaltungen	118
	3.9.1 Einleitung	118
	3.9.2 Das statische Flip-Flop (Latch)	118
	3.9.3 Statische MOS-Speicherzellen	121
	3.9.4 Bewerterlatch	125
3.10	Einflüsse von Parameterschwankungen („worst case design“)	129

4 BiCMOS-Schaltungen	132
W. Heimsch, R. Krebs	132
4.1 Pegelwandler	133
4.2 Totempole - Inverter	135
4.2.1 Einleitung	135
4.2.2 Prinzipielle Wirkungsweise	135
4.2.3 Gleichstromverhalten	137
4.2.3.1 Eingangsspannungshub	137
4.2.3.2 Störsicherheit und Übertragungskennlinien	139
4.2.4 Dynamisches Verhalten	140
4.3 Totempole-Gatter	144
4.4 Vergleich der Bipolar-, CMOS und BiCMOS-Schaltungstechnik	146
4.4.1 Vergleich der analogen Eigenschaften	146
4.4.1.1 Vergleich von Bipolar- und MOS-Transistoren	146
4.4.1.2 Vergleich von Differenzstufen	148
4.4.2 Vergleich der digitalen Schaltungen	152
4.4.2.1 Vergleich der Technologien auf Gatterebene	153
4.4.2.2 Vergleich der Integrationspotentiale	154
5 Zellenfelder	156
5.1 Einführung in Halbleiterspeicherschaltungen	156
5.2 Lese-Speicher (ROM)	160
5.2.1 Überblick	160
5.2.2 MOS ROM-Zellen	161
5.2.3 MOS EPROM und E²PROM-Zellen	163
5.3 Programmable Logic Arrays (PLAs)	164
5.4 Dekodierschaltungen (Decoder)	166
5.5 Statische Schreib-Lese-Speicher (SRAMs)	171
5.6 Dynamische Schreib-Lese-Speicher	176
5.6.1 Dynamische Drei-Transistor-Zelle	176
5.6.2 Dynamische Speicher mit Ein-Transistor-Zellen (DRAM)	178
Neue Zellkonzepte	186
Organisation eines DRAM-Bausteins	193

6 Arithmetische Module	196
6.1 Einleitung	196
6.2 Addierer und Subtrahierer	199
6.2.1 Einbitaddierer	199
6.2.2 Bitserielle Addierer	207
6.2.3 Carry ripple-Addierer	209
6.2.4 Manchester-Carry-Chain-Addierer	211
6.2.5 Carry-Lookahead-Addierer	212
6.2.6 Carry select-Addierer	213
6.2.7 „Carry save“-Addierer	216
6.2.8 Akkumulatoren	217
6.3 Multiplizierer	221
6.3.1 Einleitung	221
6.3.2 Feldmultiplizierer	223
6.3.3 Multiplizierer mit Wallace-Baumstruktur	226
6.3.4 Booth-Multiplizierer	228
7 Takte	233
7.1 Einleitung	233
7.2 Ein-Phasen-Taktsystem	234
7.3 Zwei-Phasen-Taktsystem	235
7.4 Nichtidealer Zwei-Phasen-Takt	238
7.5 Takterzeugung	239
7.6 Schieberegister	241
8 Schaltungsarchitekturen für hohe Durchsatzraten	246
8.1 Einleitung	246
8.2 Effizienzvergleich verschiedener Architekturen	246
8.2.1 Definition der Effizienz	247
8.2.2 Einfaches Rechenwerk	249
8.2.3 Parallelrechenwerke	249
8.2.4 Pipeline-Rechenwerk	251
8.2.5 Serielle Teilrechenwerke	252
8.2.6 Vollständiges Pipelining	253
	254

8.3	Typen systolischer Zellenfelder	255
8.3.1	systolische Zellenfelder auf System-, Wort- und Bit-Ebene	256
8.3.2	Lineare systolische Zellenfelder	256
8.3.3	Zweidimensionale systolische Zellenfelder	257
8.3.4	Global und lokal systolische Zellenfelder	258
8.4	Entwurf systolischer Zellenfelder	259
8.4.1	Pipelining von linearen systolischen Zellenfeldern	261
8.4.2	Pipelining von zweidimensionalen systolischen Zellenfeldern	263
8.4.3	Rekursive Architekturen für hohe Durchsatzraten	265
9	VLSI-Entwurfsstile	267
9.1	Einleitung	267
9.2	Voll-Kunden-Entwurf	267
9.3	Standardzellen-Technik	268
9.4	Gate-Array-Technik	270
Literaturverzeichnis	271	
Sachverzeichnis	277	