

# Inhaltsverzeichnis

<b>1 Überblick Workstation-Architekturen</b>	<b>1</b>
1.1 Der Trend zur Workstation	1
1.1.1 Dezentralisierung	1
1.1.2 Definition und Abgrenzung	2
1.1.3 Fünf Erfolgsfaktoren für Workstations	4
1.1.4 Das Client-Server-Modell	6
1.2 Einsatz von Workstations	7
1.3 Leistung und Kosten	10
1.3.1 Das Gesetz von Joy	10
1.3.2 Kostenoptimierung oder Leistungsoptimierung?	11
1.3.3 RISC- oder CISC-Workstation?	12
1.4 Markt	13
1.5 Trends	16
1.6 Komponenten einer (RISC-) Workstation – ein Überblick über die weiteren Kapitel des Buches	19
Literatur	22
<b>2 RISC-Grundlagen</b>	<b>23</b>
2.1 Complex Instruction Set Computer – ein Rückblick	23
2.1.1 Der Ausgangspunkt	23
2.1.2 Argumente für große Befehlssätze	24
2.1.3 Design-Prinzipien der 70er Jahre	26
2.2 Vom CISC zum RISC	27
2.2.1 Änderung der Randbedingungen	27
2.2.2 Die RISC-Ursprünge: Neue Design-Prinzipien	28
2.2.3 Befehlssatzvergleich	29
2.3 Die RISC-Philosophie	31
2.3.1 Entwurfsphilosophie	31
2.3.2 Performance als Optimierungsziel	32
2.4 Performance-Berechnung	34
2.4.1 Ideale Performance	34
2.4.2 Reale Performance	36
2.4.3 Beispiele zur Anwendung der Performance-Formel	38
2.4.4 Performance-Einflußfaktoren	39
2.5 RISC-Architektur-Merkmale	39
2.5.1 Ein-Zyklus-Operationen	40
2.5.2 LOAD-STORE-Architektur	42

2.5.3 Lokalhaltung von Daten	43
2.5.4 Befehls-Pipelining und optimierende Compiler	46
2.5.5 Speicherarchitektur	48
2.6 Prozessor-Taxonomie	49
2.6.1 Die Zyklen-MHz-Landkarte	49
2.6.2 Trends	52
2.7 Leistungsreserven	54
2.7.1 Superpipeline-Architektur	55
2.7.2 Superskalare Architektur	56
Literatur	58
<b>3 Pipelining</b>	<b>59</b>
3.1 Das Pipeline-Prinzip	59
3.2 Prozessorarchitektur und Befehls-Pipeline	60
3.2.1 Hardware-Belegungsschema	60
3.2.2 Beispiel-Pipeline	62
3.3 Strukturelle Konflikte	65
3.4 Datenkonflikte	67
3.4.1 Lösung durch Software	67
3.4.2 Scoreboarding	68
3.4.3 Forwarding	69
3.4.4 Abwägung Scoreboard gegen Forwarding	70
3.4.5 Ladebefehle	71
3.5 Steuerkonflikte	72
3.5.1 Sprünge	72
3.5.2 Unterbrechungen	74
3.6 Erweiterungen des Pipeline-Konzeptes	77
3.6.1 Superpipelining	77
3.6.2 Superskalar-Architekturen	78
3.7 Kompatibilität	80
Literatur	82
<b>4 Speicherarchitektur</b>	<b>83</b>
4.1 Speicherhierarchie und RISC-Prozessoren	83
4.2 Cache-Speicher	88
4.2.1 Funktionsweise und Aufbau eines Cache	88
4.2.2 Cache-Parameter	95
4.2.3 Cache-Kohärenz	106
4.2.4 Optimierung von Rechnersystemen mit Cache-Speichern	113
4.2.5 On-chip Caches	115
4.2.6 Cache-Architekturen bei RISC-Prozessoren	118
4.3 Hauptspeicher	124
4.3.1 DRAM-Bausteine	125
4.3.2 Beschleunigung von Blockzugriffen	127
4.3.3 Aufbau eines DRAM-Moduls	129
4.4 Virtueller Speicher	130
4.4.1 Adreßraum	131
4.4.2 Adreßabbildung	131
4.4.3 Adreßübersetzung	133
4.4.4 Hardware-Unterstützung für die Speicherverwaltung	137
4.4.5 Zugriff auf gemeinsame Programm- bzw. Datenbereiche	139
4.4.6 Virtuelle Speicherverwaltung am Beispiel des MIPS R3000	139

4.5 Zusammenfassung .....	142
Literatur .....	143
<b>5 RISC - Compiler .....</b>	<b>149</b>
5.1 Übersicht .....	149
5.2 Betriebssystemaspekte .....	150
5.3 Abbildung von Programmiersprachen auf Prozessoren .....	153
5.4 Compiler für RISC .....	155
5.4.1 Einführung .....	156
5.4.2 RISC aus Compilersicht .....	159
5.4.3 Optimierungen .....	163
5.4.4 Registerbelegung .....	166
5.4.5 Pipeline-Aspekte .....	173
5.4.6 Compiler für superlineare Architekturen .....	178
5.5 Ausblick .....	182
Literatur .....	184
<b>6 Aktuelle RISC-Prozessoren .....</b>	<b>187</b>
6.1 Kriterien zur Beurteilung .....	187
6.1.1 Software .....	187
6.1.2 Performance-Messung .....	188
6.1.3 Koprozessorkonzept .....	190
6.1.4 Multiprozessoranwendungen .....	190
6.1.5 Register .....	191
6.1.6 Wortformat .....	192
6.2 Acorn ARM (VTI VL86C010) .....	193
6.3 AMD 29000 .....	196
6.3.1 Architekturübersicht .....	197
6.3.2 AAU Am29027 .....	199
6.3.3 MMU .....	201
6.3.4 Multiprozessoren .....	202
6.3.5 Software .....	202
6.4 Clipper .....	202
6.5 Intel 80860 .....	204
6.5.1 Architekturüberblick .....	204
6.5.2 FPU auf dem Chip .....	205
6.5.3 3D-Graphik .....	207
6.5.4 MMU .....	207
6.5.5 Multiprozessoren .....	208
6.5.6 Software .....	208
6.6 Hewlett-Packard Precision-Architecture .....	209
6.7 Motorola 88000 .....	211
6.7.1 Architekturübersicht .....	212
6.7.2 FPU auf dem 88100 .....	213
6.7.3 MC 88200 .....	213
6.7.4 Fehlertoleranz .....	215
6.7.5 Multiprozessoren .....	216
6.7.6 Software .....	216
6.8 MIPS R3000 .....	217
6.8.1 Architekturübersicht .....	217
6.8.2 MMU auf dem Chip .....	219
6.8.3 FPA R3010 .....	221

6.8.4 Multiprozessoren .....	222
6.8.5 Software .....	222
6.8.6 Support .....	223
6.9 PRISM .....	223
6.9.1 Architekturüberblick .....	223
6.9.2 MMU .....	224
6.9.3 Graphik .....	225
6.9.4 Software .....	225
6.10 RISC System/6000 (IBM POWER) .....	226
6.10.1 Architekturüberblick .....	226
6.10.2 ICU .....	226
6.10.3 FXU .....	227
6.10.3 FPU .....	228
6.10.4 DCU .....	228
6.10.5 SCU und Speichermodule .....	228
6.10.6 I/O-Unit .....	229
6.10.7 Hardware-Aufwand und Performance .....	229
6.11 SPARC .....	230
6.11.1 Architekturübersicht .....	231
6.11.2 FPU .....	235
6.11.3 MMU .....	235
6.11.4 Multiprozessoren .....	235
6.11.5 Software .....	236
6.11.6 Support .....	236
Literatur .....	237
<b>7 Busse .....</b>	<b>241</b>
7.1 Charakteristika von Bussen .....	241
7.1.1 Topologie von Kommunikationspfaden .....	241
7.1.2 Busstrukturen .....	243
7.1.3 Bushierarchie .....	244
7.1.4 Busprotokolle .....	245
7.2 Busmechanik .....	248
7.3 Busphysik .....	250
7.3.1 Elektrische Kenngrößen .....	250
7.3.2 Aspekte der elektrischen Realisierung .....	253
7.4 Basisfunktionen eines Busses .....	255
7.4.1 Arbitrierung .....	257
7.4.2 Transferoperationen .....	259
7.4.3 Interrupts .....	262
7.4.4 Spezielle Protokolle .....	263
7.4.5 Sonstige Signale und Leitungen .....	263
7.4.6 Fehlerbehandlung .....	264
7.4.7 Serieller Zusatzbus .....	265
7.5 Beispiel: Der Multibus I .....	265
7.6 Trends bei Bussystemen .....	269
7.6.1 Höhere Übertragungsrate .....	269
7.6.2 Datensicherheit .....	270
7.6.3 Modularität und Flexibilität .....	270
7.6.4 Standards .....	270
7.7 Übersicht: Standardbusse .....	271
7.7.1 AT-Bus .....	271
7.7.2 EISA .....	271
7.7.3 FutureBus .....	272
7.7.4 Micro Channel .....	272

7.7.5 Multibus I .....	272
7.7.6 Multibus II .....	273
7.7.7 NuBus .....	273
7.7.8 SBUS .....	274
7.7.9 SCSI .....	274
7.7.10 VMEbus .....	275
Literatur .....	278
<b>8 Vernetzung .....</b>	<b>281</b>
8.1 Einführung .....	281
8.1.1 Entwicklung vernetzter Rechnerumgebungen .....	281
8.1.2 Workstations und Vernetzung .....	282
8.1.3 Klassifikation von Netzwerktypen .....	283
8.2 Netzwerkkonstruktion .....	285
8.2.1 Topologien von Netzen .....	286
8.2.2 Das ISO/OSI-Referenzmodell .....	287
8.2.3 Zugriffssteuerung .....	291
8.3 Netzwerke .....	295
8.3.1 Lokale Netzwerke .....	295
8.3.3 Weitverkehrsnetzwerke .....	302
8.4 Ausblick .....	307
Literatur .....	308
<b>9 Graphik .....</b>	<b>309</b>
9.1 Einführung .....	309
9.1.1 Historische Entwicklung .....	309
9.1.2 Anwendungen und ihre Anforderungen .....	310
9.2 Von einer abstrakten Datenmenge zum Bild .....	313
9.2.1 Erfassung und Darstellung von Objekten .....	313
9.2.2 Koordinatensysteme und Koordinatentransformationen .....	315
9.2.3 Entfernung verdeckter Kanten und Flächen .....	318
9.2.4 Rendering .....	319
9.2.5 Bilddarstellung .....	325
9.2.6 Graphische Standards .....	328
9.2.7 Anforderungen an die Gesamtarchitektur .....	330
9.3 Systeme und Klassifizierung .....	332
9.3.1 Marktentwicklung bei Graphikprozessoren .....	333
9.3.2 Low End-Graphik .....	333
9.3.3 Middle Range-Graphik .....	334
9.3.4 High End-Graphik .....	334
9.4 Ausblick .....	338
Literatur .....	340
<b>10 Massenspeicher .....</b>	<b>341</b>
10.1 Massenspeicher und Speicherhierarchie .....	341
10.2 Floppy Disk .....	342
10.2.1 Funktionsprinzipien .....	343
10.2.2 Datenaufzeichnung .....	344
10.3 Magnetische Festplatten .....	347
10.4 Optische Platten .....	350
10.5 Magnetbänder .....	352

10.5.1 1/4" - Kassetten .....	354
10.5.2 Digitale Aufzeichnung .....	355
10.6 Spezielle Lösungen .....	356
10.6.1 Disk Cache .....	356
10.6.2 Solid State Disks und Wafer Stack .....	356
10.7 Neue Massenspeicher .....	357
Literatur .....	358
<b>11 UNIX als Workstation-Standard .....</b>	<b>359</b>
11.1 Was ist UNIX? .....	359
11.2 Entwicklungsgeschichte von UNIX .....	360
11.3 Standardisierungsbemühungen .....	362
11.3.1 Standardisierungsgremien und Realisierung der Standards .....	363
11.3.2 Standardisierung von Applikationssoftware .....	365
11.4 Sicherheitsaspekte des UNIX-Systems .....	367
11.4.1 Sicherheitslücken im UNIX-System .....	368
11.4.2 Kriterien zur Sicherheit von Rechensystemen .....	371
Literatur .....	372
<b>12 UNIX aus Benutzersicht .....</b>	<b>373</b>
12.1 Die Shell .....	373
12.1.1 Kommandoeingabe .....	374
12.1.2 Interpretation und Ausführung von Kommandos .....	376
12.1.3 Einsatz in modernen Systemen .....	377
12.2 Das X Window System .....	377
12.2.1 Geschichte und Motivation .....	377
12.2.2 Aufbau des Systems .....	379
12.2.3 Eine X-Applikation – der Window Manager .....	385
Literatur .....	388
<b>13 UNIX aus Systemsicht .....</b>	<b>389</b>
13.1 Die Architektur von UNIX .....	389
13.1.1 Die Struktur des Systemkerns .....	389
13.1.2 Das Prozeß-Subsystem von UNIX .....	391
13.1.3 Das File-Subsystem .....	401
13.1.4 Das Network Filesystem .....	410
13.2 Verteilte UNIX-Betriebssystemarchitekturen .....	415
13.2.1 Netzwerk-Betriebssysteme .....	416
13.2.2 Verteilte Betriebssysteme .....	417
Literatur .....	422
<b>14 Ein typisches RISC-System .....</b>	<b>425</b>
14.1 Die Workstation als System .....	425
14.2 Der Prozessor der BWS '91 .....	427
14.2.1 Der Modellprozessor BWSP .....	428
14.2.2 Architekturalternativen für den BWSP .....	430
14.2.3 Standards .....	431
14.3 Schnelle Speichermedien .....	433
14.3.1 Caches .....	433

14.3.2 Hauptspeicher .....	435
14.4 Massenspeicher .....	436
14.4.1 Massenspeicher an der BWS '91 .....	436
14.4.2 Handelsübliche Massenspeicher .....	437
14.5 Graphik .....	438
14.6 Langsame Peripherie .....	439
14.6.1 Serielle Schnittstellen .....	440
14.6.2 Standard-Busse .....	440
14.7 Vernetzung und Server .....	441
14.8 Conclusio .....	443
<b>15 RISC-Workstations: Produkte .....</b>	<b>445</b>
15.1 Data General: AViiON – die RISC/UNIX-Rechner .....	446
15.1.1 Die AViiON RISC/UNIX-Rechnerarchitektur .....	446
15.1.2 DG/UX das vollsymmetrische UNIX-Mehrprozessorbetriebssystem .....	450
15.1.3 Zusammenfassung .....	455
15.1.5 Literatur .....	456
15.2 Digital Equipment: RISC-Workstations und Server .....	457
15.2.1 Warum RISC, warum MIPS? .....	457
15.2.3 RISC-Systeme von Digital Equipment .....	459
15.2.4 Ausblick .....	465
15.2.5 Literatur .....	466
15.3 Hewlett-Packard: Die Arbeitsplatzrechner der Serie 700 .....	467
15.3.1 Rückblick .....	467
15.3.2 RISC-Strategie .....	468
15.3.3 Precision Architecture-RISC .....	469
15.3.4 HP-Workstation-Serie 700 .....	470
15.3.5 Software .....	476
15.3.6 Compiler .....	477
15.3.7 Leistungsdaten .....	477
15.3.8 Zukünftige Entwicklung .....	478
15.4 IBM: POWERstation und POWERserver .....	479
15.4.1 Überblick .....	479
15.4.2 Graphik .....	481
15.4.3 POWER-Architektur .....	482
15.4.4 AIX Version 3 für IBM RISC System/6000 .....	492
15.4.5 Schlußbemerkungen .....	498
15.4.6 Literatur .....	499
15.5 Siemens Nixdorf: WS30-1000 .....	500
15.5.1 RISC oder CISC? .....	500
15.5.2 Workstation WS30-1000 von SNI mit RISC-Architektur .....	501
15.5.3 Workstation WS30-1000: Ganzheitlicher Ansatz .....	505
15.5.4 Ausblick .....	508
15.5.4 Literatur .....	509
15.6 SPARC – RISC-Technologie und Produkte .....	510
15.6.1 Sun Microsystem's Strategie .....	510
15.6.2 Die Sun-Produktfamilie .....	516
<b>Anschriften der Autoren .....</b>	<b>529</b>
<b>Glossar .....</b>	<b>531</b>
<b>Sachverzeichnis .....</b>	<b>547</b>