

Inhaltsverzeichnis

1.	Mikroprozessoren	1
1.1	Aufbau eines Digitalrechners	1
1.2	Erklärung wichtiger Begriffe	4
1.3	Entwicklungsgeschichte der Mikroprozessor-Technik	7
1.4	Prinzipieller Aufbau eines Mikroprozessors	12
1.4.1	Gehäuse und Anschlüsse	12
1.4.2	Exkurs: Zur Beschreibung der Signale	18
1.4.2.1	Zum Begriff TTL-Pegel	18
1.4.2.2	Zur Bezeichnung der Signale	19
1.4.3	Interner Aufbau eines Mikroprozessors	19
1.5	Das Steuerwerk	22
1.5.1	Funktion und Aufbau	22
1.5.2	Ein-/Ausgangssignale des Steuerwerks	26
1.5.3	Das Steuerregister	28
1.5.4	Fallstudie: Das Steuerwerk des Motorola 68000	28
1.5.5	Fallstudie: Das Steuerwerk des Intel 80386	30
1.5.6	Exkurs: Open-Collector-Eigenschaft	31
1.6	Das Rechenwerk	33
1.6.1	Prinzipieller Aufbau	33
1.6.2	Das Statusregister	37
1.6.3	Der Operationsvorrat	39
1.7	Der Registersatz	45
1.7.1	Registertypen	45
1.7.2	Der Stack	49
1.7.3	Fallstudie: Das Programmiermodell des Intel 80386/80486	50
1.7.4	Fallstudie: Das Programmiermodell des Motorola 68020	53
1.7.5	Fallstudie: Das Programmiermodell des NS 32332	55
1.8	Das Adreßwerk	57
1.8.1	Vereinfachter Aufbau	57
1.8.2	Skalierung	59

1.9	Das interne Bussystem	61
1.9.1	Prinzipieller Aufbau	61
1.9.2	Varianten	62
1.9.3	Fallstudie: Zur Befehlsverarbeitung verschiedener Prozessoren	66
1.10	Die Systembus-Schnittstelle	68
1.10.1	Die Register der Systembus-Schnittstelle	68
1.10.1.1	Der Datenbus-Puffer	68
1.10.1.2	Der Programmzähler	71
1.10.1.3	Der Adreßpuffer	71
1.10.2	Zeitverhalten der Systembus-Signale	72
1.10.2.1	Synchroner Systembus	72
1.10.2.2	Semi-synchroner Systembus	73
1.10.2.3	Asynchroner Systembus	76
1.10.3	Adressierung von Peripherie-Bausteinen	78
1.10.4	Multiplex-Bus	79
1.10.5	Steuerung der Datenbusbreite	80
1.11	Die Abarbeitung eines Befehls	81
1.11.1	Einteilung in Phasen	81
1.11.2	Beispiel zur Befehlsabarbeitung	83
1.12	Die Behandlung von Ausnahme-Situationen	88
1.12.1	Vergleich zwischen Unterprogramm und Ausnahmeroutine	89
1.12.2	Prozessorexterne Ursachen für Ausnahme-Situationen	90
1.12.3	Prozessorinterne Ursachen für Ausnahme-Situationen	94
1.12.4	Ermittlung der Startadresse für die Ausnahmeroutinen	96
1.12.5	Die Behandlung mehrerer Interruptquellen	96
1.12.5.1	Das Polling-Verfahren	97
1.12.5.2	Die Ausnahmevektor-Tabelle	98
1.12.6	Prioritäten bei mehrfachen Unterbrechungs-Anforderungen	102
1.12.7	Fallstudie: Interrupt-Kontrolle der Prozessoren 680X0	103
1.13	Datentypen und Datenformate	107
1.13.1	Datentypen und Datenformate bei 8-bit-Prozessoren	108
1.13.2	Datentypen und Datenformate von 16/32-bit-Prozessoren	110
1.13.3	Bit- und blockorientierte Datentypen und ihre Formate	111
1.13.4	Weitere Datentypen	113
1.14	Befehlssätze	113
1.14.1	Begriffe und Definitionen	115
1.14.2	Darstellung der verschiedenen Befehlsgruppen	117
1.15	Adressierungsarten	129
1.15.1	Voraussetzungen und Begriffe	129
1.15.2	Beschreibung der Adressierungsarten	132

1.16	Realisierung eines Befehlssatzes auf Maschinensprache-Ebene	149
1.16.1	Allgemeiner Aufbau eines Maschinenbefehls	149
1.16.2	Fallstudie: Der Befehlsaufbau des 80386	151
1.16.3	Fallstudie: Der Befehlsaufbau des 68020	152
1.17	Exkurs: RISC-Prozessoren	153
1.17.1	Motivation	153
1.17.2	Charakteristische Eigenschaften von RISC-Prozessoren	156
1.17.3	Aufbau eines RISC-Prozessors	157
1.17.4	Der Registersatz	161
1.17.5	Befehlssatz und Adressierungsarten bei RISC-Prozessoren	164
1.17.6	Befehlsverarbeitung in RISC-Prozessoren	169
2.	Arithmetik-Prozessoren	175
2.1	Allgemeines über Hilfsprozessoren	175
2.1.1	Aufgabenbereiche für Hilfsprozessoren	175
2.1.1.1	Hilfsprozessoren zur Erweiterung der μ P-Hardware	175
2.1.1.2	Hilfsprozessoren zur Steuerung der Peripherie	176
2.1.2	Verschiedene Typen von Hilfsprozessoren	178
2.1.2.1	Slave-Prozessoren	178
2.1.2.2	Coprozessoren	179
2.2	Gleitpunkt-Arithmetik	181
2.2.1	Allgemeine Grundlagen der Gleitpunktdarstellung	181
2.2.2	Gleitpunktdarstellung in Arithmetik-Prozessoren	183
2.3	Architektur von Arithmetik-Prozessoren	186
2.3.1	Prinzipieller Aufbau	186
2.3.2	Das Steuerwerk	188
2.3.2.1	Kommunikation über Status- und Steuersignale	188
2.3.2.2	Die Register des Steuerwerks	189
2.3.3	Der Registersatz	192
2.3.4	Das Operationswerk	194
2.3.4.1	Prinzipieller Aufbau	194
2.3.4.2	Die Statusbits des Operationswerkes	197
2.3.5	Die Systembus-Schnittstelle	198
2.3.5.1	Ankopplung an den Mikroprozessor	198
2.3.5.2	Befehls- und Operanden-Adreßregister	200
2.3.5.3	Fallstudie: Die Systembus-Schnittstelle des 8087	201
2.4	Datentypen und Befehlssätze von Arithmetik-Prozessoren	203
2.4.1	Gepackte BCD-Zahlen	203
2.4.2	Darstellung von Arithmetikbefehlen	204
2.4.3	Abarbeitung von Arithmetikbefehlen	205
2.4.4	Die verschiedenen Befehlsgruppen	207
2.4.5	Die Ausführungszeiten einiger Gleitpunktoperationen	211

3.	Aufbau und Organisation des Arbeitsspeichers	213
3.1	Wichtige Begriffe	213
3.2	Klassifizierung von Halbleiterspeichern	216
3.2.1	Festwertspeicher	216
3.2.2	Schreib-/Lese-Speicher	218
3.2.3	Nicht-flüchtige RAMs	219
3.3	Einfache Grundlagen über Halbleiter-Bauelemente	219
3.3.1	Die Diode	219
3.3.2	Der bipolare Transistor	220
3.3.3	Der MOS-Transistor	221
3.4	Aufbau von Speicherzellen	223
3.4.1	Festwert-Speicherzellen	223
3.4.1.1	Speicherzellen für maskenprogrammierte ROMs	223
3.4.1.2	Speicherzellen für programmierbare ROMs	225
3.4.1.3	EPROM-Speicherzellen	227
3.4.1.4	EEPROM-Speicherzellen	229
3.4.2	Schreib-/Lese-Speicherzellen	232
3.4.2.1	Statische bipolare Speicherzellen	233
3.4.2.2	Statische MOS-Speicherzellen	235
3.4.2.3	NVRAM-Speicherzellen	236
3.4.2.4	Dynamische MOS-Speicherzellen	238
3.5	Organisation von Speicherbausteinen	240
3.5.1	Prinzipieller Aufbau eines Speicherbausteins	240
3.5.2	Festwert-Speicherbausteine	245
3.5.2.1	ROM-Bausteine	245
3.5.2.2	PROM- und EPROM-Bausteine	246
3.5.2.3	EEPROM-Bausteine	249
3.5.3	Schreib-/Lese-Speicherbausteine	252
3.5.3.1	Statische RAM-Bausteine	252
3.5.3.2	NVRAM-Bausteine	253
3.5.3.3	Dynamische RAM-Bausteine und ihre Controller	254
3.5.3.4	Pseudo-statische RAMs	266
3.6	Organisation des Arbeitsspeichers	268
3.6.1	Speicher-Belegungsplan	268
3.6.2	Adreßauswahl	270
3.6.3	Modularer Speicheraufbau	271
3.6.4	Beispiel eines Speichermoduls	274
3.7	Direkter Speicherzugriff	275
3.7.1	Einleitung	275
3.7.2	Das Prinzip des direkten Speicherzugriffs	277
3.7.3	Der Aufbau eines DMA-Controllers	279
3.7.3.1	Das Steuerwerk	279

3.7.3.2	Die Ausführungs-Einheit	282
3.7.4	Verschiedene DMA-Übertragungsarten	283
3.7.5	Unterschiedliche Datenbreite in Target und Requester	286
3.7.6	Die Register des Steuerwerks	287
3.8	Cache-Speicher	289
3.8.1	Funktionsweise eines Caches	290
3.8.2	Aufbau eines Cache-Speichers	293
3.8.2.1	Der Direct Mapped Cache	294
3.8.2.2	Fallstudie: Der Befehls-Cache des Motorola 68020	296
3.8.2.3	Der n-Way Set Associative Cache	298
3.8.3	Anbindung des Caches an den Systembus	300
3.8.4	Fallstudie: Der Cache-Controller 82385 von Intel	302
3.8.4.1	Aufbau des Controllers	302
3.8.4.2	Zeitdiagramme der Cache-Zugriffe	307
3.8.4.3	Überwachung des Systembusses	311
3.8.4.4	Weitere Steuer- und Statussignale des Cache-Controllers	312
4.	Speicher- und Prozeßverwaltung	315
	J. Dunkel	
4.1	Einleitung	315
4.1.1	Definitionen des Begriffs "Betriebssystem"	315
4.1.2	Ziele von Betriebssystemen	316
4.1.2.1	Benutzerfreundlichkeit	317
4.1.2.2	Effizienz und Zuverlässigkeit	317
4.1.2.3	Portabilität	319
4.1.3	Spezielle Aufgaben von Betriebssystemen	319
4.1.3.1	Auftragsverwaltung	319
4.1.3.2	Speicherverwaltung	320
4.1.3.3	Betriebsmittelverwaltung	321
4.2	Einführung in die Speicherverwaltung	322
4.2.1	Virtuelle Speicher	322
4.2.2	Segmentierungs- und Seitenwechsel-Verfahren	324
4.2.2.1	Probleme der virtuellen Speicherverwaltung	325
4.2.2.2	Segmentierung versus Seitenaufteilung	328
4.2.2.3	Virtuelle Speicherverwaltung in der μ P-Technik	328
4.2.2.4	Zusammenspiel zwischen Cache und MMU	329
4.3	Segmentorientierte Speicherverwaltung	330
4.3.1	Segmente	330
4.3.1.1	Berechnung physikalischer Adressen	331
4.3.1.2	Fallstudie: Speicherverwaltung beim Intel 80286	332
4.3.1.3	Adressierungs-Modi	334
4.3.2	Segment-Deskriptoren und Deskriptor-Tabellen	336
4.3.2.1	Segment-Deskriptoren	336

4.3.2.2	Deskriptor-Tabellen	339
4.3.2.3	Selektoren	342
4.4	Seitenorientierte Speicher-Verwaltung	343
4.4.1	Seitenverwaltungskonzept des Intel 80386	343
4.4.1.1	Berechnung physikalischer Adressen aus virtuellen Adressen	344
4.4.1.2	Berechnung physikalischer Adressen aus linearen Adressen	346
4.4.1.3	Beschleunigung der Adreßberechnung durch einen Cache	350
4.4.1.4	Vorgehensweise bei Seitenfehlern	351
4.4.2	Seitenverwaltungskonzept des MMU-Bausteins NS32382	352
4.4.2.1	Berechnung physikalischer Adressen aus virtuellen Adressen	353
4.4.2.2	Kommunikation zwischen CPU und MMU	354
4.4.2.3	Durch die CPU initiierte Buszyklen	357
4.4.2.4	Durch die MMU initiierte Buszyklen	359
4.4.2.5	MMU-Instruktionen	360
4.5	Schutzmechanismen	363
4.5.1	Schutzebenen	364
4.5.2	Zugriffsrechte	365
4.5.2.1	Schutzmaßnahmen bei Segmentverwaltung	365
4.5.2.2	Schutzmaßnahmen bei Seitenverwaltung	371
4.5.3	Fallstudie: Kontroll-Transfer beim Intel 80286/80386	372
4.5.3.1	Conforming Code Segment	372
4.5.3.2	Call Gates	373
4.6	Prozeßwechsel	376
4.6.1	Einleitung	376
4.6.2	Fallstudie: Prozeßverwaltung beim Intel 80286	377
4.6.2.1	Das Task State Segment	377
4.6.2.2	Der TSS-Deskriptor	378
4.6.2.3	Ursachen für einen Prozeßwechsel	380
4.6.2.4	Zugriffsschutz beim Prozeßwechsel	381
4.6.2.5	Der Dispatcher	382
4.7	Kommunikation zwischen Prozessen	383
4.7.1	Kommunikation beim Segmentierungsverfahren	383
4.7.2	Kommunikation beim Seitenwechselsverfahren	385
4.8	Ausnahmebehandlung	386
4.8.1	Interrupt-Deskriptor-Tabelle	386
4.8.2	Prozeßorientierte Ausnahme-Behandlung	388
4.8.3	Prozedurorientierte Ausnahme-Behandlung	388
4.8.4	Fallstudie: Behandlung der Traps beim Intel 80386	390
4.8.5	Fallstudie: Fehlercode des 80386 bei einem Seitenfehler	391

5.	System-Steuerbausteine und Schnittstellen-Bausteine	393
5.1	Einleitung	393
5.1.1	Nicht programmierbare System-Steuerbausteine	393
5.1.2	Programmierbare System-Steuerbausteine	394
5.1.3	Schnittstellen-Bausteine	395
5.1.4	Speicherbezogene und isolierte Adressierung	395
5.1.5	Anschluß der Schnittstellen-Bausteine an den μP	396
5.1.6	Aufbau der Systembausteine	397
5.1.6.1	Die Steuerung	397
5.1.6.2	Die Ausführungseinheit	399
5.1.6.3	Die Schnittstelle zum Peripheriegerät	400
5.1.7	Die verschiedenen Ein-/Ausgabe-Verfahren	401
5.1.8	Synchronisation der Datenübertragung	402
5.2	Bus-Arbitr	403
5.2.1	Einleitung	403
5.2.2	Verschiedene Systembus-Zuteilungsverfahren	405
5.2.3	Prinzipieller Aufbau eines Bus-Arbiters	406
5.2.4	Weitere spezielle Arbitr-Funktionen	408
5.3	Interrupt-Controller	409
5.3.1	Einleitung	409
5.3.2	Prinzipieller Aufbau eines Interrupt-Controllers	410
5.3.3	Einsatz mehrerer Interrupt-Controller	413
5.3.3.1	Daisy Chaining	413
5.3.3.2	Kaskadierung	413
5.3.4	Das Programmiermodell eines Interrupt-Controllers	415
5.3.4.1	Die Steuerregister	415
5.3.4.2	Die Befehlsregister	416
5.3.4.3	Die Statusregister	418
5.4	Zeitgeber-/Zähler-Bausteine	419
5.4.1	Prinzipieller Aufbau eines Zeitgeber-/Zähler-Bausteins	420
5.4.2	Die verschiedenen Zählmodi	422
5.4.3	Das Programmiermodell	423
5.4.4	Die Timer-Funktionen	424
5.4.4.1	Der Timer als Impulsgenerator	425
5.4.4.2	Der Timer als Taktgenerator	427
5.4.4.3	Der Timer als Ereigniszähler	429
5.4.4.4	Der Timer als Zeitmesser	430
5.4.5	Fallstudie: Der Echtzeit-Uhren-Baustein HD146818	432
5.5	Bausteine für parallele Schnittstellen	434
5.5.1	Prinzipieller Aufbau	434
5.5.2	Aufbau der Ausführungseinheit	436
5.5.2.1	Datenausgabe	437
5.5.2.2	Dateneingabe	437

5.5.2.3	Eine Variante	439
5.5.3	Fallstudie: Der PPI-Baustein 8255 von Intel	440
5.5.3.1	Modus 0	440
5.5.3.2	Modus 1	441
5.5.3.3	Modus 2	445
5.5.4	Anwendungsbeispiel: Centronics-Schnittstelle	447
5.6	Bausteine für asynchrone, serielle Schnittstellen	450
5.6.1	Einleitung	450
5.6.2	Synchronisations-Verfahren	451
5.6.3	Aufbau eines Bausteins für asynchrone Schnittstellen	454
5.6.3.1	Der Sender	455
5.6.3.2	Der Empfänger	456
5.6.3.3	Modem-Steuerung	457
5.6.4	Die V24-Schnittstelle	458
5.6.5	Das Programmiermodell des ACIA-Bausteins	461
5.7	Bausteine für synchrone, serielle Schnittstellen	463
5.7.1	Zeichenorientierte Übertragung	463
5.7.1.1	Bausteine für die zeichenorientierte Übertragung	464
5.7.1.2	Das Programmiermodell zeichenorientierter Bausteine	467
5.7.2	Bitorientierte Übertragung	468
5.7.2.1	Bausteine für die bitorientierte Übertragung	469
5.7.2.2	Das Programmiermodell bitorientierter Bausteine	471
5.8	Bausteine zur Analog/Digital- und Digital/Analog-Wandlung	474
5.8.1	Digital/Analog-Wandlung	475
5.8.1.1	Prinzip	475
5.8.1.2	Bausteine für die Digital/Analog-Wandlung	477
5.8.2	Analog/Digital-Wandlung	477
5.8.2.1	Prinzip	477
5.8.2.2	Bausteine für die Analog/Digital-Wandlung	478
5.8.2.3	Das Programmiermodell	481
5.8.3	Signalprozessoren	482
6.	Plattenspeicher-Systeme	485
	G. Rademacher, H. Bähring	
6.1	Einleitung	485
6.2	Format und Verwaltung einer Speicherplatte	487
6.2.1	Format einer Speicherplatte	487
6.2.2	Plattenverwaltung durch das Betriebssystem MS-DOS	490
6.2.3	Die verschiedenen Plattenbereiche	492
6.2.3.1	Der Urladerbereich	493
6.2.3.2	Die Dateizuordnungstabelle	494
6.2.3.3	Das Dateiverzeichnis	496
6.2.3.4	Der Datenbereich	498
6.2.3.5	Zusammenfassende Darstellung der Diskettenverwaltung	498

6.3	Die Aufzeichnungsverfahren	499
6.3.1	Zum Begriff Flußwechsel	499
6.3.2	Beschreibung der Verfahren	502
6.3.2.1	NRZ-Verfahren	502
6.3.2.2	Frequenzmodulations-Verfahren	503
6.3.2.3	Modifiziertes Frequenzmodulations-Verfahren	504
6.3.2.4	RLL-Verfahren	506
6.3.3	Verbesserung der Aufzeichnungstechnik bei Festplatten-Systemen	509
6.4	Aufbau eines Floppy-Disk-Systems	510
6.4.1	Prinzipieller Aufbau einer Diskette	510
6.4.2	Schematischer Aufbau eines Floppy-Disk-Laufwerkes	512
6.4.3	Schnittstellen und Komponenten eines Floppy-Disk-Controllers	516
6.4.4	Registersatz und Befehlssatz eines Floppy-Disk-Controllers	520
6.4.4.1	Der Registersatz	520
6.4.4.2	Der Befehlssatz	521
6.4.4.3	Das Statusregister	525
6.5	Aufbau eines Festplatten-Speichersystems	526
6.5.1	Prinzipieller Aufbau einer Festplatte	526
6.5.1.1	Allgemeines	526
6.5.1.2	Aufbau eines Festplatten-Laufwerkes	531
6.5.1.3	Verschachtelter Sektorzugriff	534
6.5.2	Prinzipieller Aufbau eines Festplatten-Controllers	535
6.5.3	Schnittstellen zum Anschluß von Festplatten-Systemen	536
6.5.3.1	Controller-Schnittstellen	537
6.5.3.2	Systembus-Schnittstellen	541
6.6	Fehlerbehandlung bei Plattenspeicher-Systemen	552
6.6.1	Zyklische Redundanzprüfung	553
6.6.2	Fehlererkennende und -korrigierende Codes	554
6.6.3	Fehlerraten	555
6.6.4	Verfahren zur Wiederherstellung der Daten	555
7.	Bildschirm-Geräte	557
	G. Rademacher, H. Bähring	
7.1	Der Bildaufbau	557
7.1.1	Funktionsweise des Standardbildschirms	557
7.1.2	Anschlußnormen für Monitore	565
7.2	Aufbau eines Graphiksystems	566
7.2.1	Allgemeines	566
7.2.2	Fallstudie: Der CRT-Controller SY6545	567
7.2.3	Bildschirmspeicher für graphische Anwendungen	569
7.2.4	Verfahren zum Speicherzugriff	570
7.2.5	Verschiedene Darstellungsmodi	571

7.3	Fallstudie: Der Graphik-Controller HD63484	572
7.3.1	Einleitung	572
7.3.2	Unterstützung verschiedener Bildschirmbereiche	575
7.3.3	Der Aufbau des HD63484	576
7.3.4	Das Programmiermodell des HD63484	580
7.3.4.1	Register mit direktem μ P-Zugriff	583
7.3.4.2	Register mit Zugriff über die Warteschlangen	587
7.3.4.3	Der Befehlssatz des HD63484	592
7.4	D/A-Wandler für Bildschirm-Geräte	594
7.5	Realisierung eines Bildschirmspeichers	599
7.5.1	Hochintegrierte Video-RAMs	599
7.5.2	Die Farb-Zuordnungs-Tabelle	602
 Lösungen der Selbsttestaufgaben		 605
 Anhang		 639
 Literaturverzeichnis		 641
 Index		 645