

Inhaltsverzeichnis

SITZUNG 1

TANGO: Ein objektorientierter Ansatz zur Technologieanpassung von IC-Layouts	1
R. Brück, E. Migas, Universität Dortmund, Lehrstuhl Informatik 1	
Hierarchical Netlist Extraction and Design Rule Check	12
W. Meier, Siemens AG, München	
HIPARE: Hierarchical Circuit and Parameter Extraction from Mask Layout Data	24
U. Röttcher, J. Fritz, F. Krohm, G. Hess, Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme, Duisburg	

SITZUNG 2

Synthese von Komplexgatter-Schaltnetzen unter Berücksichtigung der Transistoranzahl	33
Ch. Wolters, Dosis GmbH, Dortmund	
Timing Driven Partitioning of Combinational Logic	42
N. Wehn, M. Glesner, A. Kister, S. Kastner, TH Darmstadt, Institut für Mikroelektronische Systeme	
Über ein Min-Cross Kanalrouting-Problem	52
M. May, Akademie der Wissenschaften der DDR, Zentralinstitut für Kybernetik und Informationsprozesse, Berlin	
Diffusion - An analytic procedure applied to global macro cell placement	64
P.V. Kraus, D.A. Mlynki, Institut für Theoretische Elektrotechnik und Meßtechnik, Universität Karlsruhe; C.-M. Kyung, Korea Advanced Institute of Science and Technology, Seoul	

SITZUNG 3

Rechnergestützte Spezifikation in einer Integrierten Entwurfsumgebung für anwendungsspezifische Systeme	75
J. Bortolazzi, K.D. Müller-Glaser, Lehrstuhl für Rechnergestützten Schaltungsentwurf, Universität Erlangen-Nürnberg	
A Concept of Defining Semantics of Concurrent Microprograms	91
M. Gondzio, Institute of Computer Science, Warsaw University of Technology, Poland	
A Methodology for Hierarchical Module Generator Specification	104
D. Tovey, V. Valdivia, Siemens AG, München, Zentralabteilung Forschung und Entwicklung	

SITZUNG 4

A New Allocation Method for the Synthesis of Partitioned Busses	115
Ch. Ewering, FB Mathematik/Informatik, Universität-GH Paderborn	
Architekturentwurf für nebenläufige, funktionssichere Steuerungen	130
G. Klein-Heßling, M. Schäfer, Siemens AG, München, Zentralabteilung Forschung und Entwicklung	
CASCH - ein Scheduling-Algorithmus für „High-Level“-Synthese	143
P. Guiberlet, H. Krämer, W. Rosenstiel, FB Automatisierung des Schaltkreisentwurfs, Forschungszentrum Informatik, Universität Karlsruhe	
OASE: A Knowledge Based Environment for Analog Circuit Design	157
K. Hoffmann, M. Mertens, K. Milzner, Universität Dortmund, Lehrstuhl Informatik 1; W. Brockherde, G. Hess, R. Klinke, F. Krohm, Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme, Duisburg	

SITZUNG 5

Zum automatischen Einfügen von Testpunkten in sequentielle Schaltungen H. Gundlach, K.-D. Müller-Glaser, Universität Erlangen-Nürnberg, Institut für Rechnergestützten Schaltungsentwurf	169
Testbarkeitsanalyse beim hierarchischen top-down Entwurf E.J. Lehner, H. Hofstädt, Siemens AG, München, Zentralabteilung Forschung und Entwicklung	182
Ein neues, effizientes Verfahren zum Testpunkteinbau in kombinatorischen Schaltungen B.H. Seiß, TU München, Lehrstuhl für Rechnergestütztes Entwerfen; M.H. Schulz, Siemens AG, München	195

SITZUNG 6

KOSIM - ein Mixed-Mode, Multi-Level-Simulator P. Schwarz, C. Clauß, U. Donath, J. Haufe, G. Kurth, P. Trappe, Akademie der Wissenschaften der DDR, Zentralinstitut für Kybernetik und Informationsprozesse, Dresden	207
ATTACC - an Automated Tool for Timing Analysis and Cell Characterization T. Schwiderski, T. Büchner, W. Haas, Institut für Mikroelektronik Stuttgart; M. Zahn, FH Ravensburg-Weingarten	221
Parallele Simulatoren für VLSI - Stand und Zukunftslinien des DISIM-Systems E. Aposporidis, W. Jud, F. Lohnert, Daimler-Benz AG, Forschungsinstitut Berlin	231
Das Simulatorkopplungsprojekt M. Bechtold, T. Leyendecker, Technische Informatik, Universität Frankfurt; M. Niemeyer, A. Oczko, C. Oczko, Cadlab, Paderborn	244

SITZUNG 7

Automatisierter Entwurf von Schaltungen für die schnelle digitale Signalverarbeitung U. Vehlies, A. Münzner, Institut für Theoretische Nachrichtentechnik und Informationsverarbeitung, Universität Hannover	265
Optimierung von Schaltungen mit determinierten und statistischen Suchverfahren E. Lüder, J. Schaepperle, Universität Stuttgart	273
Rapid Prototyping mikroelektronischer Hardware-Software-Systeme durch Emulation K. Scherer, Fraunhofer-Institut für Mikroelektronische Schaltungen und Systeme, Duisburg; O. Rettig, Universität Stuttgart, Institut für Parallele und Verteilte Höchstleistungsrechner	285

Anhang A: Plakatausstellung

297