

1. Grundlagen zum Entwurf digitaler Verknüpfungsschaltungen	13
1.1. Grundzüge der Schaltalgebra	13
1.1.1. Wesen der binären Logik	13
1.1.2. Logische Verknüpfungen und Symbole	14
1.1.3. Postulate der Schaltalgebra	17
1.1.4. Rechenregeln der Schaltalgebra	18
1.1.5. Normalformen von Schaltfunktionen	22
1.2. Schaltkreisvereinfachungen	24
1.2.1. Vereinfachungen mit schaltalgebraischen Rechenregeln	24
1.2.2. Vereinfachungen mit KV-Tafeln	25
1.2.2.1. Minterm-Methode	25
1.2.2.2. Maxterm-Methode	29
1.2.2.3. Berücksichtigung frei wählbarer Terme	31
2. Analyse und Synthese von Schaltnetzen	35
2.1. Analyse von Schaltnetzen	35
2.2. Synthese von Schaltnetzen mit Und-, Oder- und Nicht-Gliedern	36
2.3. Synthese von Schaltnetzen mit Nor- und Nand-Gliedern	38
2.3.1. Grundfunktionen mit Nor- und Nand-Gliedern	38
2.3.2. Synthese mit Nor-Gliedern	39
2.3.3. Synthese mit Nand-Gliedern	42
3. Binäre Codes	46
3.1. Binär codierte Darstellung von Dezimalziffern	46
3.1.1. Vier-Bit-Codes	48
3.1.1.1. 8-4-2-1-Code	48
3.1.1.2. Exzeß-3-Code (Stibitz-Code)	49
3.1.1.3. 2-4-2-1-Code (Aiken-Code)	50

	Seite
3.1.2. Dekadische Codes mit Prüfmöglichkeit	50
3.1.3. Korrigierbare Codes	52
3.2. Codes zur digitalen Weg- und Winkelmessung	52
3.2.1. Nichtdekadische Codes	53
3.2.1.1. Reiner Dualcode	53
3.2.1.2. Gray-Code	54
3.2.2. Dekadische einschrittige Codes	55
4. Systematischer Entwurf von Schaltnetzen	57
4.1. Codierschaltungen	57
4.2. Decodierschaltungen	58
4.3. Codeumsetzerschaltungen	60
4.4. Beispiele für weitere einfache Schaltnetze	62
4.4.1. Ziffernanzeige mit Leuchtbalken	62
4.4.2. Vergleicherschaltungen	64
4.4.3. Prüfschaltungen	68
4.4.4. Überwachungs- und Verriegelungsschaltungen	70
4.5. Entwurf von Schaltnetzen mit MSI-Schaltungen	72
4.5.1. Schaltnetze mit Multiplexern	72
4.5.2. Schaltnetze mit Decodierern	77
4.5.3. Realisierung von Schaltfunktionen mit Majoritätsgliedern	80
4.6. Schaltnetze mit programmierbaren LSI-Schaltungen	82
4.6.1. Grundstruktur programmierbarer Logikschaltungen	83
4.6.2. Realisierung logischer Funktionen mit Festwertspeichern (PROMs)	85
4.6.2.1. Realisierungsprinzip	85
4.6.2.2. Innere Struktur eines PROMs	86
4.6.2.3. Erweiterungsmöglichkeiten	87
4.6.3. Realisierung logischer Funktionen mit programmierbaren Logik-Arrays (FPLAs)	88
4.6.3.1. Aufbau und Programmierung	88

	Seite
4.6.3.2. Erweiterungen	91
5. Systematischer Entwurf von Zählschaltungen	97
5.1. Speicherglieder	97
5.1.1. Allgemeine Kennzeichen	97
5.1.2. Zeitglieder	98
5.1.3. Flipflops	99
5.1.3.1. Ungetaktete Flipflops	99
5.1.3.2. Taktflankengesteuerte Flipflops	101
5.2. Zählschaltungen	103
5.2.1. Allgemeine Struktur	103
5.2.2. Darstellung der Zählfolge durch ein Zustandsdiagramm	104
5.2.3. Synchrone Zählschaltungen	105
5.2.3.1. Zehnerzähler	106
5.2.3.2. Modulo-n-Zähler	109
5.2.3.3. Ringzähler	112
5.2.3.4. Johnson-Zähler	114
5.2.4. Asynchrone Zählschaltungen	115
5.2.4.1. Binäruntersetzer	115
5.2.4.2. Asynchroner Zehnerzähler im 8-4-2-1-Code	117
5.2.4.3. Schaltzeiten bei asynchronen Zählern	119
6. Registerschaltungen	125
6.1. Register	125
6.2. Schieberegister	126
6.3. Serien-Parallel-Umsetzer	127
6.4. Parallel-Serien-Umsetzer	128
7. Entwurf von Schaltwerken nach der Programmablaufplan-Methode	131
7.1. Beschreibung von Schaltwerken durch den Programmablaufplan	132
7.1.1. Elemente des Programmablaufplans	132
7.1.2. Aufstellen des Programmablaufplans	134

	Seite
7.2. Ermittlung des Schaltwerks aus einem vorgegebenen Programmablaufplan	135
7.2.1. Beschreibung des Programmablaufplans	135
7.2.2. Entwicklung des Schaltwerks aus dem Programmablaufplan	137
7.2.2.1. Schaltfunktionen für Zähl- und Sprungbefehle	137
7.2.2.2. Schaltfunktionen für die Eingangsvariablen der Flipflops	137
7.2.2.3. Vereinfachungen der Schaltfunktionen	139
7.2.2.4. Schaltplan	142
7.3. Beispiele für den Entwurf von Schaltwerken	142
7.3.1. Impulsfolgeüberwachung	142
7.3.1.1. Aufgabenstellung	142
7.3.1.2. Programmablaufplan	143
7.3.1.3. Verwirklichung im Schaltwerk	144
7.3.2. Einstellbare Ausgabezeiten	146
7.3.2.1. Aufgabenstellung	146
7.3.2.2. Programmablaufplan	147
7.3.2.3. Verwirklichung im Schaltwerk	148
7.3.3. Steuerung einer Zifferneingabe	148
7.3.3.1. Aufgabenstellung	148
7.3.3.2. Aufstellen des Programmablaufplans	151
7.3.3.3. Schaltung des Schaltwerks zur Steuerung der Zifferneingabe	154
8. Schaltwerke mit MSI- und LSI-Schaltungen	159
8.1. Schaltwerke mit getrennten Speicher- und Verknüpfungseinheiten	159
8.1.1. Allgemeine Schaltwerksstruktur	159
8.1.2. Steuerbarer Zähler	160
8.1.3. Schaltwerk nach vorgegebenem Programmablaufplan	162
8.2. Freiprogrammierbare Folgeschaltungen (FPLSs)	165

	Seite
8.3. Anwendungsspezifische Schaltungen (ASICs)	171
8.3.1. Abgrenzung zu Schaltwerken mit Standardbausteinen	171
8.3.2. Varianten anwendungsspezifischer Schaltungen	172
8.3.2.1. Gate Arrays	172
8.3.2.2. Standardzellenschaltungen	174
8.3.2.3. Vollkundenspezifische Schaltungen	174
8.3.3. Entwurfsverfahren	175
8.3.4. Logiksimulation	176
9. Funktionseinheiten digitaler Rechenanlagen	177
9.1. Speicherwerke	177
9.1.1. Schreib-Lese-Speicher mit wahlfreiem Zugriff	177
9.1.2. Festwertspeicher	180
9.2. Leitwerke	181
9.2.1. Aufgabe von Leitwerken	181
9.2.2. Leitwerke mit Festwertspeichern	181
9.2.3. Befehlsliste eines Mikroprogramms	183
9.2.4. Mikroprogramm Nullenunterdrückung	185
9.2.4.1. Aufgabenstellung	186
9.2.4.2. Programmablaufplan	187
9.2.4.3. Auflistung des Mikroprogramms	189
9.3. Rechenwerke	190
9.3.1. Halbaddierer	190
9.3.2. Volladdierer	191
9.3.3. Dezimaladdierer für den Exzeß-3-Code	192
9.3.4. Dualaddierer	194
9.3.4.1. Paralleladdierer mit durchlaufen-dem Übertrag	194
9.3.4.2. Paralleladdierer mit Carry-Look-Ahead-Generator	194
9.3.5. Arithmetisch-logische Einheit	197

	Seite
Anhang	199
Weiterführende Literatur	199
Lösungen zu den Übungsaufgaben	200
Formelzeichen	217
Schaltzeichen	218
Sachweiser	221