

Inhaltsverzeichnis

Parallelrechner I

Das SUPRENUM-System: Architektur, Software und Anwendungen (eingeladener Vortrag) <i>H. Zima</i>	1
Parallele Ausführung sequentieller Programme auf Multiple Processing Systems <i>M. Caspar</i>	21
Optimizing the Peak-Performance of Vector Units with Dynamically Allocatable Vector Registers <i>H. Mierendorff</i>	34

Parallelrechner II

Connection Structures - a Component of Parallel Programming Languages <i>E. Hotzel</i>	47
A Multigrid Algorithm on Hypercube Systems <i>O. Kolp</i>	64
A Systolic Algorithm for the Generalized Transitive Closure <i>C. Moraga</i>	70

Prozeßkommunikation

Prozeßkommunikation mit asynchronem Empfangen <i>R. Oechsle</i>	80
Baumorientierte Kommunikation in verteilten Systemen <i>H. von Drachenfels</i>	94
Linda integriert in Modula-2 - ein Sprachkonzept für portable parallele Software <i>L. Borrmann, M. Herdieckerhoff</i>	106

RISC-Architekturen I

Code Generation and RISC Architectures (eingeladener Vortrag) <i>S. L. Graham</i>	119
Colibri: Ein Testfall für die RISC-Philosophie <i>Ch. Müller-Schloer, Th. Niedermeier, D. Rauh</i>	132
Die Befehlspipeline des COLIBRI-Systems <i>C. Legutko, E. Schäfer, J. Tappe</i>	142

RISC-Architekturen II

Reorganisieren von Basisblöcken für Pipeline-Prozessoren <i>A. Poetzsch-Ieffler</i>	152
Eine flexible Entwurfsumgebung für RISC-ähnliche Prozessorarchitekturen <i>T. Bergsträsser, J. Geßner, K. Hafner, S. Wallstab</i>	168

Funktionsorientierte Architekturen

System Architectures for Functional Programming Languages: Problems and Solutions (eingeladener Vortrag) <i>K. Berkling</i>	178
Compiled Graph Reduction on a Processor Network <i>M. Raber, T. Remmel, E. Hoffmann, D. Maurer, F. Müller, H.-G. Oberhauser, R. Wilhelm</i>	198
An Or-Parallel Logic Programming Machine for Non-shared Memory Architectures <i>J. Engels</i>	213
Konzept eines flagorientierten vollparallelen Assoziativprozessors auf der Basis der Flagalgebra <i>D. Tavangarian</i>	233

Koprozessoren

Transaktionsorientierte Datenverwaltung in einem intelligenten Disk Controller <i>J. Kreyßig, H. Schukat, H. Ch. Zeidler</i>	250
Überlegungen zu einer Hardware-Architektur zur schnellen Analyse von Programmiersprachen <i>K.-D. Lewke</i>	268
Alternative Rechnerarchitektur für Datenübertragungs-Controller mit hohen Datenraten <i>F. Fehlau, M. Rupprecht</i>	277

Rechnernetze I

Rechnernetze - Realisierung, Standardisierung, weitere Entwicklung (eingeladener Vortrag) <i>U. Dierk</i>	290
---	-----

Rechnernetze II

A Tool for Measuring and Monitoring Distributed Systems During Operation <i>D. Haban, D. Wybraniec</i>	307
Workload Modeling for Computer Networks <i>M. Calzarossa, G. Haring, G. Serazzi</i>	324
Automatische Codegenerierung für Protokolle in der ISO-Syntax ASN.1 <i>W. Gora, R. Speyerer</i>	340

Hardware-Entwurf

Microprocessor Features a la Carte (eingeladener Vortrag) <i>E. M. McCreight</i>	357
Validation in Top Down Design Including Test Pattern Generation <i>R. Reisig</i>	368
SAMP: A General Purpose Processor Based on a Self-Timed VLIW Structure <i>L. Nowak</i>	381
Gezielte Erzeugung von Zugriffskonflikten zu Testzwecken <i>J. Hülsemann</i>	391