

# Inhaltsangabe

<b>Kapitel 1: Es war einmal... Boolesche Algebra .....</b>	<b>20</b>
1.1 : Die Operatoren.....	20
1.2 : Die grundlegenden Gesetze .....	21
1.2.1 : Die Basisregeln .....	21
1.2.2 : Beweisführung .....	22
1.3 : Erweiterte Regeln .....	23
1.3.1 : Kommutativgesetz.....	23
1.3.2 : Assoziativgesetz .....	23
1.3.3 : Distributivgesetz .....	23
1.3.4 : Absorptionsgesetz.....	24
1.4 : Die Gesetze von De Morgan .....	25
1.5 : Übersicht der Rechenregeln .....	29
1.5.1 : AND mit einer Konstante.....	29
1.5.2 : OR mit Konstante .....	29
1.5.3 : Inverter .....	29
1.5.4 : Operationen mit der eigenen Inversen .....	29
1.5.5 : Kommutativgesetz.....	29
1.5.6 : Assoziativgesetz .....	29
1.5.7 : Distributivgesetz .....	29
1.5.8 : Absorptionsgesetz.....	29
1.5.9 : De Morgan .....	29
<b>Kapitel 2: Die Zahlensysteme .....</b>	<b>30</b>
2.1 : Das binäre System .....	30
2.1.1 : Binäre Notationen .....	30
2.1.2 : Zählen in binär .....	31
2.1.3 : Spezielle binäre Codes .....	32
2.2 : Das hexadezimale Zahlensystem .....	34
2.2.1 : Zählen in HEX .....	34
2.3 : Konvertierung von Zahlensystemen .....	35
2.3.1 : Konvertierung von und nach Binär .....	35
2.3.2 : Konvertierung von und nach HEX .....	37
2.3.3 : Konvertierung zwischen HEX und Binär .....	38
2.3.4 : Oktal und andere Zahlensysteme .....	40
2.4 : Notation der Basis.....	40

<b>Kapitel 3: Logische Gleichungen .....</b>	<b>41</b>
<b>3.1 : Einfache Gleichungen.....</b>	<b>41</b>
<b>3.2 : Wahrheitstabellen .....</b>	<b>42</b>
3.2.1 : Aufstellen der Eingangskombinationen .....	43
3.2.2 : Das Ausfüllen der Ausgangszustände .....	44
<b>Kapitel 4: Optimierung logischer Gleichungen .....</b>	<b>45</b>
<b>4.1 : Boolesche Algebra und De Morgan.....</b>	<b>45</b>
<b>4.2 : Karnaugh-Diagramme.....</b>	<b>45</b>
4.2.1 : Aufbau des Diagramms.....	46
4.2.2 : Ausfüllen des Diagramms .....	47
4.2.3 : Lösen eines KV-Diagramms .....	47
4.2.4 : Karnaugh für Nullterme .....	49
<b>4.3 : Quine-McCluskey .....</b>	<b>49</b>
4.3.1 : Der QM-Algoritmus .....	50
4.3.2 : Zusammenfassung.....	55
<b>Kapitel 5: Die Basisgatter .....</b>	<b>57</b>
<b>5.1 : Die grundlegenden Gatter .....</b>	<b>57</b>
5.1.1 : NOT .....	58
5.1.2 : AND.....	59
5.1.3 : OR.....	60
<b>5.2 : Abgeleitete Gatter .....</b>	<b>60</b>
5.2.1 : NAND .....	61
5.2.2 : NOR .....	62
5.2.3 : XOR.....	63
5.2.4 : XNOR .....	64
5.2.5 : Majority-Gatter.....	65
<b>5.3 : Transponieren von Gattern .....</b>	<b>66</b>
5.3.1 : Zusammenfügen und Aufteilen von Gattern .....	69
<b>5.4 : Positive Logik gegen negative Logik .....</b>	<b>71</b>
<b>5.5 : Übersicht über die Basisgatter .....</b>	<b>72</b>
<b>Kapitel 6: Kombinatorische Systeme .....</b>	<b>73</b>
<b>6.1 : Encoder und Dekoder .....</b>	<b>73</b>
6.1.1 : Encoder .....	73
6.1.2 : Priority Encoder.....	77
6.1.3 : Dekoder.....	83

6.1.4 : Transcoder .....	83
6.1.5 : Praktische Methode, um schnell Transcoder zu erzeugen .....	83
6.1.6 : Zusammenfassung .....	86
<b>6.2 : Multiplexer und Demultiplexer .....</b>	<b>86</b>
6.2.1 : Multiplexer .....	86
6.2.2 : Demultiplexer .....	89
<b>6.3 : Arithmetische Schaltungen .....</b>	<b>92</b>
6.3.1 : Adder-Schaltungen (Addierer) .....	92
6.3.2 : Look Ahead Adder .....	97
6.3.3 : Subtractors (Subtrahierer) .....	102
6.3.4 : Multiplier (Multiplizierer) .....	106
6.3.5 : Andere Arten von Multipliern .....	109
6.3.6 : Divider (Teiler) .....	112
<b>6.4 : Code Konverter .....</b>	<b>113</b>
<b>6.5 : Komparatoren .....</b>	<b>116</b>
6.5.1 : Der einfache Komparator .....	117
6.5.2 : Der Magnitude-Komparator .....	118
<b>6.6 : Parity und Paritygeneratoren .....</b>	<b>123</b>
6.6.1 : Odd/Even Detector .....	123
6.6.2 : Bytewise Parity .....	123
6.6.3 : Parity Correction .....	125
<b>6.7 : Lookup Tables .....</b>	<b>126</b>
6.7.1 : Implementierung von Logik durch LUTs .....	126
<b>6.8 : Spezielle Gatter .....</b>	<b>127</b>
6.8.1 : Tristate-Gatter .....	127
6.8.2 : Bus Multiplexing .....	128
6.8.3 : Bus Switches .....	129
6.8.4 : Analoge Switches .....	130
6.8.5 : Erweiterbare Gatter .....	132
6.8.6 : Open Collector / Drain / Emitter / Source .....	132
6.8.7 : Wired Logik .....	134
<b>Kapitel 7: Speicherelemente .....</b>	<b>136</b>
<b>7.1 : Das RS-Flipflop .....</b>	<b>136</b>
7.1.1 : Umsetzung mit identischen Gattern .....	138
<b>7.2 : Das RST-Flipflop .....</b>	<b>141</b>
<b>7.3 : Das Latch .....</b>	<b>142</b>
<b>7.4 : Fehlerfreies RS-Flipflop .....</b>	<b>142</b>

<b>7.5 : Erweiterte Flipflops .....</b>	<b>143</b>
7.5.1 : Master-Slave-Flipflops .....	144
<b>7.6 Das JK-Flipflop .....</b>	<b>145</b>
7.6.1 : Abweichende JK-Flipflops .....	147
7.6.2 : Fehlerzustände des JK-Flipflop .....	148
<b>7.7 : Flipflops mit asynchronen Set- und Reset-Eingängen.....</b>	<b>150</b>
<b>7.8 : Das JK-Flipflop als universeller Baustein .....</b>	<b>151</b>
<b>7.9 : Spezielle Flipflops .....</b>	<b>152</b>
7.9.1 : Doppelt getaktete Flipflops.....	153
7.9.2 : NOT-Ketten-Flipflops .....	153
<b>7.10 : Flipflop Symbole .....</b>	<b>154</b>
7.10.1 : Praktische Flipflops .....	155
7.10.2 : Anwendungen .....	155
<b>Kapitel 8: Schaltungen mit Speicherelementen.....</b>	<b>159</b>
<b>8.1 : Register .....</b>	<b>160</b>
8.1.1 : Transparente Register .....	160
8.1.2 : Edge getriggerte Register .....	161
8.1.3 : Erhältliche Register .....	162
<b>8.2 : Schieberegister .....</b>	<b>163</b>
8.2.1 : Serial In / Parallel Out .....	163
8.2.2 : Parallel In / Serial Out .....	168
8.2.3 : First In, First Out / FIFO .....	170
8.2.4 : Last in, First out / LIFO .....	173
8.2.5 : Praktische Anwendungen von Schieberegistern .....	174
8.2.6 : Schieberegister – anders aufgebaut .....	178
<b>8.3 : Zähler.....</b>	<b>179</b>
8.3.1 : Zähler-Definitionen .....	179
8.3.2 : Asynchrone Zähler .....	181
8.3.3 : Synchrone Zähler .....	184
8.3.4 : State-Counter .....	191
8.3.5 : Marktübliche Zähler .....	193
<b>8.4 : Teiler.....</b>	<b>196</b>
<b>8.5 : Binary-Rate-Multipliers .....</b>	<b>199</b>
8.5.2 : Warum BRM besser sind als PWM .....	201
<b>8.6 : LFS-Register und PRBS-Erzeuger.....</b>	<b>202</b>

<b>8.7 : State-Machines .....</b>	<b>204</b>
8.7.1 : Das Bubble- oder State-Diagramm .....	205
8.7.2 : Moore-Automaten .....	207
8.7.3 : Mealy-Automaten .....	207
8.7.4 : Implementierung von Automaten .....	208
<b>8.8 : Multiphase-Generatoren .....</b>	<b>209</b>
8.8.1 : Non-overlapping Generatoren .....	210
8.8.2 : Overlapping Generatoren .....	212
8.8.3 : Aufbau von Multiphase-Generatoren .....	212
<b>8.9 : PLL-Schaltungen .....</b>	<b>213</b>
8.9.1. : Der Phasenkomparator .....	214
8.9.2. : Der Teiler .....	215
8.9.3. : Der Referenzoszillator .....	215
8.9.4. : Typische PLLs: 4046 und 7046 .....	215
8.9.5. : PLL in FPGA .....	216
<b>8.10 : Synchronisierer .....</b>	<b>217</b>
8.10.1 : Synchronisieren von Signalen .....	217
8.10.2 : Gefahren des Synchronisierens .....	218
8.10.3 : Clock-Synchroniser .....	219
<b>8.11 : Debouncer .....</b>	<b>221</b>
8.11.1 : RS-Flipflop als Debouncer .....	222
8.11.2 : Shifter Loop .....	222
8.11.3 : Counter Loop .....	223
8.11.4 : Analoge Debouncer .....	224
<b>8.12 : Edge-Detector .....</b>	<b>224</b>
8.12.1 : Stabiler Edge-Detector .....	225
8.12.2 : Erkennen beider Flanken .....	226
<b>8.13 : Speicherelemente .....</b>	<b>226</b>
8.13.1 : RAM .....	227
8.13.2 : ROM .....	232
8.13.3 : Non Volatile RAM .....	240
8.13.4 : Multiport .....	244
8.13.5 : Dual Port .....	245
<b>Kapitel 9: Fixed Logic Familien .....</b>	<b>247</b>
<b>9.1 : RTL und DTL .....</b>	<b>247</b>
9.1.1 : RTL .....	248
9.1.2 : DTL .....	249
<b>9.2 : TTL .....</b>	<b>250</b>

<b>9.3 : ECL .....</b>	<b>252</b>
<b>9.4 : NMOS.....</b>	<b>254</b>
<b>9.5 : CMOS.....</b>	<b>255</b>
<b>9.6 : I2L .....</b>	<b>256</b>
<b>9.7 : GTL / BTL .....</b>	<b>256</b>
<b>9.8 : Übersicht der gebräuchlichen Familien .....</b>	<b>257</b>
<b>9.9 : Gehäuse .....</b>	<b>258</b>
9.9.1 : DIL / DIP .....	258
9.9.2 : PGA – Pin Grid Array .....	259
9.9.3 : LCC / PLCC.....	260
9.9.4 : SOJ .....	261
9.9.5 : SO / SOP / TSSOP .....	261
9.9.6 : QFP / TQFP .....	262
9.9.7 : BGA – Ball Grid Array .....	263
9.9.8 : QFN – Quad Flat No Leads .....	264
9.9.9 : Chipscale Gehäuse (Flipchip) .....	264
<b>Kapitel 10: Entwürfe mit echter Logik .....</b>	<b>266</b>
<b>10.1 : Logische Niveaus und die verbotene Zone .....</b>	<b>266</b>
10.1.1 : Die Ausgangsniveaus .....	266
10.1.2: Die Eingangsniveaus .....	267
10.1.3 : Die verbotene Zone.....	268
10.1.4 : Der Ausgangsstrom .....	268
<b>10.2 : Rise- und Falltime von Signalen .....</b>	<b>269</b>
<b>10.3 : Fan-In und Fan-Out .....</b>	<b>270</b>
10.3.1 : Fan-Out .....	270
10.3.2 : Fan-In.....	270
10.3.3 : Was tun damit? .....	271
<b>10.4 : Statischer und dynamischer Stromverbrauch .....</b>	<b>271</b>
10.4.1 : Bipolare Technik (TTL).....	271
10.4.2 : CMOS.....	272
<b>10.5 : Propagation-Delay.....</b>	<b>273</b>
<b>10.6 : Setup- and Hold-Time .....</b>	<b>273</b>
<b>10.7 : Race-Conditions.....</b>	<b>274</b>
10.7.1 : Das EXOR-Drama.....	275
10.7.2 : Glitch freies EXOR .....	275

<b>10.8 : Metastabilität .....</b>	<b>277</b>
<b>10.9 : Ground-Bounce .....</b>	<b>278</b>
<b>10.10 : Ringing, Overshoot und Undershoot .....</b>	<b>280</b>
10.10.1 : Terminationswiderstände .....	281
10.10.2 : Serienwiderstände .....	284
<b>10.11 : Board-Layout .....</b>	<b>285</b>
<b>10.12 : Spannungsversorgung .....</b>	<b>286</b>
10.12.1 : Grundprinzip einer Regelung .....	287
10.12.2 : Impulsverhalten .....	288
10.12.3 : Derating von Kondensatoren .....	289
10.12.4 : Faustregeln .....	291
10.12.5 : Schutz des Reglers .....	292
<b>10.13 : Bord-Layout für Spannungsverteilung .....</b>	<b>294</b>
10.13.1 : Trennen kritischer Spannungen .....	296
10.13.2 : Digital gegen Analog Domäne .....	297
<b>Kapitel 11: Lesen eines Datenblattes .....</b>	<b>299</b>
<b>11.1 : Die „Marketing“ Information .....</b>	<b>299</b>
<b>11.2 : Das richtige Datenblatt .....</b>	<b>299</b>
11.2.1 : Die elektrischen Parameter .....	299
11.2.2 : Funktionale Parameter .....	300
11.2.3 : Pinbelegung .....	300
11.2.4 : Betriebstemperatur .....	300
11.2.5 : Operating Conditions .....	301
11.2.6 : Absolute maximum ratings .....	301
11.2.7 : Typical performance characteristics .....	301
11.2.8 : Thermische Informationen .....	301
11.2.9 : DC-Parameter .....	301
11.2.10 : AC oder switching parameters .....	302
11.2.11 : Package Information .....	302
<b>11.3 : Application Information .....</b>	<b>302</b>
11.3.1 : Board Layout Information .....	303
11.3.2 : Software Beispiele .....	303
<b>Kapitel 12: Logische Schaltungen aus klassischen Bausteinen .....</b>	<b>304</b>
<b>12.1 : Übersicht der wichtigsten 74xx Bausteine .....</b>	<b>304</b>
12.1.1 : Inverter .....	304
12.1.2 : Basisgatter .....	305
12.1.3 : XOR und Komparatoren .....	306
12.1.4 : Dekoder .....	307

12.1.5 : Buffer.....	307
12.1.6 : Flipflops .....	308
12.1.7 : Schieberegister .....	308
12.1.8 : Counter .....	309
12.1.9 : Display Treiber .....	310
12.1.10 : Bus Register .....	311
12.1.11 : Bus Treiber .....	312
12.1.12 : Monoshots.....	313
<b>12.2 : Übersicht der wichtigsten 4xxx Bausteine .....</b>	<b>313</b>
12.2.1 : Inverter .....	313
12.2.2 : Basisgatter .....	314
12.2.3 : Analoge Muxiplexer.....	314
12.2.4 : Display-Driver.....	315
12.2.5 : Flipflops .....	315
12.2.6 : CMOS-Zähler .....	316
<b>12.3 : Tipps und Tricks.....</b>	<b>317</b>
12.3.1 : Bessere Display-Driver .....	317
12.3.2 : Pin-kompatible Schmitt-Trigger.....	318
12.3.3 : Alternativer Puffer .....	318
12.3.4 : Singlegate Logik.....	318
12.3.5 : Bündeln von Bussen .....	319
12.3.6 : Mischen von Familien .....	319
12.3.7 : Einzelne Transistoren .....	320
12.3.8 : Pull-up / Pull-down .....	321
12.3.8 : Unbenutzte Ausgänge.....	323
<b>Kapitel 13: Kontakt mit der Außenwelt .....</b>	<b>324</b>
<b>13.1 : Eingangsschaltungen .....</b>	<b>324</b>
13.1.1 : Level-Shifting .....	324
13.1.2 : Debouncing (Entprellung) und Filterung .....	327
13.1.3 : Sichern von Eingängen .....	328
<b>13.2 : Ausgangsschaltungen.....</b>	<b>332</b>
13.2.1 : Spannungsanpassung (level-shifting) .....	333
13.2.2 : Stromanpassung .....	337
13.2.3 : Sichern von Ausgangsstufen .....	337
<b>13.3 : Galvanisch Isolieren .....</b>	<b>338</b>
13.3.1. : Optokoppler.....	338
13.3.2 : Kapazitive Koppler .....	341
13.3.3 : Induktive Koppler .....	341
<b>13.4 : Sicherer Boardlayout .....</b>	<b>342</b>
13.4.1 : Trennen von gefährlichen und sicheren Signalen .....	342
13.4.2 : Komponenten Auswahl .....	343

13.4.3 : Beispiel.....	344
<b>Kapitel 14: Analoge Schaltungen.....</b>	<b>345</b>
14.1 Schmitt-Trigger.....	345
14.2 : Delay- und Impuls-Erzeuger.....	346
14.2.1 : Monoshot .....	346
14.2.2 : Restartbare Monoshots .....	347
14.2.3 : RC-Netzwerke .....	348
14.2.4 : Digitale Lösungen .....	351
14.3 : Oszillatoren.....	353
14.3.1 : Ringoszillator.....	353
14.3.2 : RC-Oszillator .....	354
14.3.3 : Kristalloszillator .....	355
14.4 : NE555 Universelle Timing-Komponente .....	355
14.4.1 : 555 als Monoshot .....	356
14.4.2 : 555 als Monoshot (restartbar) .....	357
14.4.3 : 555 als Oszillatoren.....	357
14.5 : Analog-Digital-Wandler.....	358
14.5.1 : Flash-Konverter.....	358
14.5.2 : Sukzessive Approximation .....	359
14.5.3 : Integrating ADC .....	360
14.5.4 : Sigma-Delta .....	361
14.6 : Digital-Analog-Wandler.....	362
14.6.1 : Thermometer-DAC .....	362
14.6.2 : R-2R-DAC / Widerstandsleiter-DAC .....	363
14.6.3 : Binary weighted DAC .....	365
14.6.4 : PWM und BRM DAC .....	365
<b>Kapitel 15: Programmierbare Logik .....</b>	<b>366</b>
15.1 : Geschichte .....	366
15.2 : Typen.....	368
15.2.1 : FPLA .....	368
15.2.2 : PAL .....	370
15.2.3 : GAL .....	372
15.2.4 : EPLD .....	373
15.2.5 : CPLD .....	375
15.2.6 : Gate-Array.....	376
15.2.7 : FPGA.....	376
15.2.8 : Hybride Komponenten .....	379
<b>Kapitel 16: Entwerfen mit PLDs und FPGAs .....</b>	<b>380</b>

<b>16.1 : Versorgung .....</b>	<b>380</b>
16.1.1 : Multivoltage I/O Circuits .....	381
<b>16.2 : Busanschlüsse .....</b>	<b>381</b>
16.3.1 : Programmieranschlüsse von Altera Komponente .....	382
16.3.2 : Altera Programmieradapter .....	384
<b>16.4 : Clock-Anschlüsse .....</b>	<b>386</b>
16.4.1 : Oscillator-Module .....	387
16.4.2 : Selbstbau Oszillatoren .....	388
<b>Kapitel 17: Synthesesprachen.....</b>	<b>389</b>
<b>17.1 : Geschichte der Synthesesprachen .....</b>	<b>389</b>
17.1.1 : PALASM.....	389
17.1.2 : ABEL .....	389
17.1.3 : CUPL.....	389
17.1.4 : AHDL.....	390
17.1.5 : Verilog .....	390
17.1.6 : VHDL.....	390
<b>17.2 : Arbeitsweise eines Synthesizers.....</b>	<b>391</b>
<b>17.3 : Synthese-Probleme.....</b>	<b>395</b>
<b>17.4 : Entwicklungssysteme.....</b>	<b>397</b>
<b>Kapitel 18: Quartus Tutorial.....</b>	<b>398</b>
<b>18.1 : Installation .....</b>	<b>398</b>
18.1.1 : Installieren .....	398
18.1.2 : Lizenz Installation.....	398
18.1.3 : Firewall Einstellungen .....	398
<b>18.2 : Starten .....</b>	<b>399</b>
18.2.1 : Der erste Start .....	399
<b>18.3 : Erstellen eines Projektes.....</b>	<b>400</b>
18.3.1 : Projektverwaltung .....	407
<b>18.4 : Die Designumgebung .....</b>	<b>407</b>
<b>18.5 : Erstellen des ersten Blocks .....</b>	<b>408</b>
18.5.1 : Design File Typen .....	409
18.5.2 : Andere Dateien .....	411
<b>18.6 : Entwurfsmethodologie .....</b>	<b>411</b>
18.6.1 : Top-down hierarchischer Entwurf mit Toplevel Schema .....	411

<b>18.7 : Erstellen des Toplevels .....</b>	<b>412</b>
<b>18.8 : Zeichnen eines Schemas (Schaltbild) .....</b>	<b>414</b>
18.8.1 : Komponenten platzieren und verschieben .....	414
18.8.2 : Verbinden von Komponenten .....	418
Erstellen von Unterschaltungen .....	419
<b>18.9 : Erstellen einer HDL Datei .....</b>	<b>421</b>
18.9.1 : Schreiben von Code .....	423
<b>18.10 : Device Assignment .....</b>	<b>424</b>
<b>18.11 : Die erste Kompilation .....</b>	<b>425</b>
18.11.1 : Pin-Assignment .....	427
<b>18.12 : Simulation .....</b>	<b>429</b>
18.12.1 : Erstellen der Simulationsdatei .....	430
18.12.2 : Hinzufügen von Signalen .....	431
18.12.3 : Beobachten interner Knoten .....	433
18.12.4 : Erstellen von Signalverläufen .....	437
<b>18.13 : Spezielle Funktionsblöcke .....</b>	<b>439</b>
18.13.1 : Counter-Megafunction .....	440
<b>18.14 : Konfigurieren eines PLL .....</b>	<b>450</b>
<b>Kapitel 19: Verilog in aller Kürze .....</b>	<b>460</b>
<b>19.1 : Verilog Module .....</b>	<b>460</b>
<b>19.2 : Whitespaces und Kommentare .....</b>	<b>461</b>
<b>19.3 : Logische Niveaus .....</b>	<b>462</b>
19.3.1 : Logisches x .....	462
19.3.2 : Logisches z .....	462
<b>19.4 : Signale .....</b>	<b>462</b>
19.4.1 : Einzelne Signale .....	462
19.4.2 : Signal-Vektoren .....	463
19.4.3 : Praktische Verwendung von Reg und Wire .....	463
<b>19.5 : Definieren von Ein- und Ausgängen .....</b>	<b>464</b>
19.5.1 : Reg und Wire .....	464
19.5.2 : inout .....	464
<b>19.6 : Basisoperatoren in Verilog .....</b>	<b>465</b>
19.6.1 : Logische Operationen .....	465
19.6.2 : Reduktionsoperatoren .....	467
19.6.3 : Abgeleitete Reduktionsoperatoren .....	468
19.6.4 : Relationale Operatoren .....	469

<b>19.7 : Mathematische Operationen .....</b>	<b>470</b>
19.7.1 : Notation von Zahlen .....	470
19.7.2 : Addieren und Subtrahieren .....	472
19.7.3 : Dividieren und Multiplizieren .....	472
<b>19.8 : Andere Manipulationen von Vektoren.....</b>	<b>474</b>
19.8.1 : Schiebeoperationen .....	474
19.8.2 : Erstellen von Teilvektoren .....	474
19.8.3 : Gruppieren von Signalen .....	475
19.8.4 : Wiederholung von Signalen .....	476
19.8.5 : Konditionaler Operator .....	477
<b>19.9 : Basiskonstruktionen in Verilog .....</b>	<b>478</b>
19.9.1 : Assign .....	478
19.9.2 : Blocking und Non-blocking Assignments .....	479
19.9.3 : Always .....	480
19.9.4 : Sensitivity Lists .....	483
19.9.5 : Sensitivity für asynchrone Signale in synchronen Block .....	483
<b>19.10 : Entscheidungslogik .....</b>	<b>485</b>
19.10.1 : If-then-else .....	485
19.10.2 : Case-Statement .....	486
<b>19.11 : Scheduling .....</b>	<b>488</b>
<b>19.12 : Defines .....</b>	<b>489</b>
<b>19.13 : Verilog 2001 .....</b>	<b>489</b>
19.13.1 : Arrays und multidimensionale Arrays .....	490
19.13.2 : Signed Zahlen .....	491
19.13.3 : Modul-Definition .....	491
19.13.4 : Automatisches Erstellen von Netzen .....	492
19.13.5 : Andere Elemente .....	492
<b>19.14 : Verilog 2005 .....</b>	<b>493</b>
19.14.1 : Always_ff .....	493
19.14.2 : Always_comb .....	493
19.14.3 : Always_latch .....	493
<b>19.15 : Instanziieren von Teilschaltungen .....</b>	<b>493</b>
19.15.1 : Eingebaute Primitives .....	494
19.15.2 : Instanziieren eines Primitives .....	494
19.15.3 : Instanziierung eines eigenen Primitives .....	494
19.15.4 : Verbinden mit symbolischen Namen .....	495
<b>19.16 : Praktische Systeme in Verilog .....</b>	<b>496</b>
19.16.1 : Kombinatorischer Block .....	496
19.16.2 : Sequenzielle Logik .....	499

19.16.3 : Ein Read/Write Schieberegister mit Ausgangsregister .....	501
19.16.4 : State-Machine .....	502
<b>Kapitel 20: VHDL in aller Kürze .....</b>	<b>506</b>
<b>20.1 : VHDL Module .....</b>	<b>506</b>
<b>20.2 : Whitespaces und Kommentare .....</b>	<b>507</b>
<b>20.3 : Die Standardbibliotheken .....</b>	<b>507</b>
<b>20.4 : Logische Niveaus .....</b>	<b>507</b>
20.4.1 : Logisches x .....	508
20.4.2 : Logisches z .....	508
<b>20.5 : Signale .....</b>	<b>508</b>
20.5.1 : Signal-Vektoren .....	508
<b>20.6 : Variablen .....</b>	<b>509</b>
<b>20.7 : Das Erzeugen einer Entity .....</b>	<b>510</b>
20.7.1 : Die Ports einer Entity .....	510
<b>20.8 : Basisoperatoren in VHDL .....</b>	<b>511</b>
20.8.1 : Logische Operationen .....	511
20.8.2 : Abgeleitete Operatoren .....	512
20.8.3 : Relationale Operatoren .....	512
<b>20.9 : Mathematische Operationen .....</b>	<b>514</b>
20.9.1 : Notation von Zahlen .....	514
20.9.2 : Umwandlung von Zahlen .....	515
20.9.3 : Addieren und Subtrahieren .....	517
20.9.4 : Dividieren und Multiplizieren .....	518
20.9.5 : Modulo und Remainder .....	519
<b>20.10 : Andere Manipulationen von Vektoren .....</b>	<b>520</b>
20.10.1 : Schiebeoperationen .....	520
20.10.2 : Rotieren von Vektoren .....	520
20.10.3 : Erstellen von Teilvektoren .....	521
20.10.4 : Gruppieren von Signalen .....	521
20.10.5 : Konstanten und Aliase .....	522
<b>20.11 : Basiskonstruktionen in VHDL .....</b>	<b>523</b>
20.11.1 : When .....	523
20.11.2 : With-select .....	525
<b>20.12 : Prozess .....</b>	<b>526</b>
<b>20.13 : Entscheidungslogik .....</b>	<b>528</b>
20.13.1 : If-then-else .....	528

20.13.2 : Case Statement .....	529
<b>20.14 : Latches.....</b>	<b>530</b>
<b>20.15 : Flankengesteuerte Prozesse.....</b>	<b>531</b>
<b>20.16 : Scheduling .....</b>	<b>531</b>
<b>20.17 : Instanziieren von TeilmODULEn in VHDL.....</b>	<b>532</b>
20.17.1 : Instanziieren von TeilmODULEn .....	532
<b>20.18 : Praktische Systeme in VHDL .....</b>	<b>534</b>
20.18.1 : Kombinatorischer Block .....	534
20.18.2 : Sequenzielle Logik .....	535
20.18.3 : Ein Read/Write Schieberegister, mit Ausgangsregister .....	538
20.18.4 : State-Machine .....	539
<b>Kapitel 21: Implementierung von Logik in PLDs .....</b>	<b>542</b>
<b>21.1 : Das Projekt .....</b>	<b>542</b>
<b>21.2 : Schematischer Entwurf .....</b>	<b>542</b>
21.2.1 : Displaysteuerung .....	542
21.2.2 : Der Teiler.....	544
21.2.3 : Die Zähler.....	546
21.2.4 : Die Alarmfunktion .....	551
21.2.5 : Toplevel.....	552
21.2.6 : Verifikation .....	555
<b>21.3 : Verilog Entwurf.....</b>	<b>556</b>
21.3.1 : Display-Steuerung.....	557
21.3.2 : Der Teiler.....	560
21.3.3 : Die Zähler.....	562
21.3.4 : Die Alarmfunktion .....	568
21.3.5 : Toplevel.....	570
<b>21.4 : VHDL-Entwurf.....</b>	<b>573</b>
21.4.1 : Displaysteuerung .....	573
21.4.2 : Der Teiler.....	576
21.4.3 : Die Zähler.....	578
21.4.4 : Die Alarmfunktion .....	583

<b>Kapitel 22: Fusemap und Programmierung .....</b>	<b>585</b>
22.1 : Endgültige Device-Auswahl .....	585
22.2 : Pin-Zuweisung .....	587
22.3 : Fusemap erzeugen .....	589
22.4 : Programmierung .....	589
<b>Kapitel 23: Experimentierplattformen .....</b>	<b>591</b>
23.1 : Terasic Max II Mikro Kit .....	591
23.2 : Elektor-FPGA-Board .....	592
23.3 : Andere Plattformen .....	592
<b>Index .....</b>	<b>593</b>