

Inhaltsverzeichnis

Vorwort	5
1 Feldprogrammierbare Bausteine: eine Einführung	11
1.1 Entwicklung der feldprogrammierbaren Logikbausteine	12
1.2 Grundlegendes	13
1.3 Logische Programmierung.....	16
1.4 Speicherelemente.....	19
1.5 Programmiermodell für Schaltwerke.....	21
1.6 Ein- und Ausgangsblöcke.....	23
1.7 Physikalische Programmierung.....	25
1.8 Programmierabläufe.....	29
1.9 Testbarkeit.....	30
2 High-Density PLDs (HDPLDs).....	34
2.1 Industriestandard PAL/GAL22V10.....	35
2.2 Architekturen hochdichter PLDs.....	38
2.3 Konkrete Optimierungsziele.....	40
2.4 PLD-Klassen	41
2.5 HDPLDs in der Praxis.....	42
3 Anschlussnormen und Modelle für PLDs	44
3.1 Blockmodelle	45
3.2 Routingmodelle.....	47
3.2.1 Globale Verbindungen	47
3.2.2 Segmentierte globale Verbindungen.....	49
3.2.3 Lokale Verbindungen	49
3.2.4 Regionale Verbindungen	49
3.3 Input-Output-Modelle	51
3.3.1 Optionenwünsche	51
3.3.2 I/O-Register.....	52
3.3.3 Verbindbarkeit I/O und Logik.....	53
3.4 Timingmodelle.....	54

3.4.1	Charakteristische Zeiten.....	54
3.4.2	Takthalbierer als Beispiel zur Anwendung von Timingmodellen	56
3.5	Verlustleistungsmodell	57
3.6	Elektrische Anschlussnormen	58
4	Entwurfsumgebungen für PLDs.....	60
4.1	Vergleich der Entwurfsprozesse für Mikroprozessoren und PLDs...	60
4.2	Hardwareunabhängige Übersetzung	62
4.3	Hardwareabhängige Übersetzung.....	63
4.4	Entwicklungssysteme	66
5	Complex Programmable Logic Devices (CPLDs).....	67
5.1	Altera MAX7000.....	68
5.1.1	Architektur.....	68
5.1.2	Elektrische Eigenschaften	69
5.1.3	Varianten	70
5.1.4	Technologische Weiterentwicklung	71
5.2	Cypress Ultra37k	72
5.2.1	Architektur.....	72
5.2.2	Elektrische Eigenschaften	73
5.2.3	Varianten	74
5.3	Cypress Delta39k.....	75
5.3.1	Architektur.....	75
5.3.2	Elektrische Eigenschaften	77
5.3.3	Varianten	78
5.4	Lattice ispLSI1000/2000	80
5.4.1	Architektur.....	81
5.4.2	Elektrische Eigenschaften	82
5.4.3	Varianten	84
5.5	Lattice ispLSI5000	85
5.5.1	Architektur.....	85
5.5.2	Elektrische Eigenschaften	86
5.5.3	Varianten	87
5.6	Lattice ispLSI8000	88
5.6.1	Architektur.....	88
5.6.2	Elektrische Eigenschaften	90
5.6.3	Varianten	91
5.7	Lattice MACH4A	92
5.7.1	Architektur.....	92
5.7.2	Elektrische Eigenschaften	93
5.7.3	Varianten	94

5.8	Xilinx XC9500	96
5.8.1	Architektur.....	96
5.8.2	Elektrische Eigenschaften	97
5.8.3	Varianten	98
5.9	Xilinx XPL3 CoolRunner	99
5.9.1	Architektur.....	99
5.9.2	Elektrische Eigenschaften	100
5.9.3	Varianten	102
6	Field-Programmable Gate Arrays (FPGA)	103
6.1	Actel-SX-Familie	103
6.1.1	Architektur.....	103
6.1.2	Elektrische Eigenschaften	105
6.1.3	Varianten	106
6.2	Actel ProASIC 500k.....	107
6.2.1	Architektur.....	107
6.2.2	Elektrische Eigenschaften	109
6.2.3	Varianten	110
6.3	Altera FLEX 10k/10ke.....	111
6.3.1	Architektur.....	111
6.3.2	Elektrische Eigenschaften	114
6.3.3	Varianten	115
6.4	Altera APEX 20k/20ke/20kc.....	117
6.4.1	Architektur.....	117
6.4.2	Elektrische Eigenschaften	120
6.4.3	Varianten	121
6.4.4	Integrierte und ladbare Prozessorkerne.....	123
6.5	Altera APEX II.....	124
6.5.1	Architektur.....	124
6.5.2	Elektrische Eigenschaften	124
6.5.3	Varianten	126
6.5.4	Spezialitäten	126
6.6	Atmel AT40k.....	127
6.6.1	Architektur.....	127
6.6.2	Elektrische Eigenschaften	129
6.6.3	Varianten	130
6.7	Atmel AT94k.....	130
6.7.1	Architektur.....	131
6.7.2	Varianten	132
6.8	QuickLogic pASIC3.....	132
6.8.1	Architektur.....	132
6.8.2	Elektrische Eigenschaften	135

6.8.3	Varianten	136
6.9	QuickLogic QuickDSP	136
6.9.1	Architektur.....	136
6.9.2	Elektrische Eigenschaften	138
6.9.3	Varianten	139
6.9.4	Weitere Familie von QuickLogic	141
6.10	Xilinx-Spartan-Familie.....	141
6.10.1	Architektur.....	141
6.10.2	Elektrische Eigenschaften	144
6.10.3	Varianten	145
6.11	Xilinx-Spartan-II-Familie	146
6.11.1	Architektur.....	146
6.11.2	Elektrische Eigenschaften	148
6.11.3	Varianten	149
6.12	Xilinx-Virtex-Familie	150
6.12.1	Architektur.....	150
6.12.2	Elektrische Eigenschaften	152
6.12.3	Varianten	154
6.13	Xilinx Virtex-II-Familie.....	158
6.13.1	Architektur.....	158
6.13.2	Elektrische Eigenschaften	161
6.13.3	Varianten	162
7	Programmiermodell für PLDs.....	164
7.1	Von-Neumann-Rechnermodell.....	164
7.2	Modell der PLDs.....	165
7.3	Reconfigurable Computing	167
7.4	Aktuelle Einsatzmöglichkeiten	168
7.5	Zusammenfassung und Konsequenzen.....	169
	Glossar.....	170
	Quellen- und Literaturverzeichnis	172
	Stichwortverzeichnis.....	174