

Inhaltsverzeichnis

	Seite
1. Definitionen und Begriffe der Informationsverarbeitung nach DIN 41859 und DIN 44300	1
2. Darstellung binärer Variablen durch elektrische Größen	3
2.1 Allgemeines	3
2.2 Positive und negative Logik	4
3. Logische Verknüpfungsfunktionen I, Grundfunktionen	6
3.1 Allgemeine Definitionen	6
3.1.1 Die Wahrheitstabelle	6
3.1.2 Die Arbeitstabelle	6
3.1.3 Karnaugh-Veitch-Diagramm (KV-Tafel)	7
3.2 Logische Elementarfunktionen	7
3.2.1 UND-(AND)-Funktion	7
3.2.2 ODER-(OR)-Funktion	8
3.2.3 NICHT-(NOT)-Funktion	8
3.2.4 NICHT-UND-(NAND)-Funktion	9
3.2.5 NICHT ODER-(NOR)-Funktion	9
3.2.6 EXKLUSIV-ODER-(XOR)-Funktion (Antivalenz)	10
3.2.7 EXKLUSIV-NOR-(XNOR)-Funktion (Äquivalenz)	11
3.3 Belastungsregeln für logische Verknüpfungen, Fan-In, Fan-Out	11
3.3.1 Fan-Out (F_o)	11
3.3.2 Fan-In (F_i)	12
4. Logische Verknüpfungen II, Diodenlogik DL	13
4.1 UND-Schaltung	13
4.2 ODER-Schaltung	14
4.3 Mehrstufige Diodenschaltungen	14
5. Logische Verknüpfungen III, Transistorlogik	15
5.1 Der Inverter mit Bipolartransistor	15
5.2 RTL Widerstands-Transistor-Logik	15
5.2.1 RTL-NOR	16
5.2.2 RTL-NAND	16
5.3 DTL Dioden-Transistor-Logik	17
5.3.1 Allgemeines	17
5.3.2 Integrierte DTL-Schaltungen	18
5.3.3 Wired-AND-Funktion (Phantom-UND)	18
5.3.4 Wired-OR-Funktion (Phantom-ODER)	19
5.4 DCTL (Direkt gekoppelte Transistor-Logik)	20
5.5 TTL (Transistor-Transistor-Logik, Standard-TTL)	21
5.6 TTL L und TTL H	23
5.7 Schottky-TTL	23
5.8 Advanced Schottky-TTL	24
5.9 ECL (Emittergekoppelte Transistor-Logik, ECTL)	24
5.10 ETL (Emitterfolger-Transistor-Logik)	26

	Seite
5.11 CTL (Komplementär-Transistor-Logik)	26
5.12 LSL (Langsame, störsichere Logik)	27
5.13 I ² L (Integrierte Injektionsstrom-Logik)	27
5.14 Digitale Verknüpfungsschaltungen mit Feldeffekt-Transistoren	28
5.14.1 MOS-Schaltungstechnik	29
5.14.1.1 MOSFET-Inverter	29
5.14.1.2 MOS-NAND und MOS-NOR	30
5.14.1.3 MOS-XOR und MOS-NOR	31
5.14.2 CMOS-Schaltungstechnik	31
5.14.2.1 CMOS-Inverter	32
5.14.2.2 CMOS-NAND/NOR	32
5.14.2.3 CMOS-NOR/NAND	33
5.15 Vergleich der Leistungsfähigkeit logischer Schaltungsfamilien	33
5.16 Pegelumsetzer (Interfaces) zwischen Logikfamilien	34
6. Boolesche Algebra I, Grundzüge und Rechenregeln	38
6.1 Einleitung	38
6.2 Die zweielementige Boolesche Algebra	39
6.2.1 Definitionen	39
6.2.2 Theoreme der Booleschen Algebra	39
6.3 Übersicht über die Funktionen der ein- und der zweielementigen Booleschen Algebra	40
6.4 Dualität	42
6.5 Konjunktive und disjunktive Normalform	42
6.6 Ausgezeichnete Normalformen, Minterme und Maxterme	43
6.7 Eigenschaften von Mintermen und Maxtermen	44
7. Boolesche Algebra II, Behandlung von Schaltnetzen	45
7.1 Allgemeines	45
7.2 Schaltnetzanalyse	45
7.2.1 Ermittlung der Schaltfunktion	46
7.2.2 Ermittlung der Wahrheitstabelle	46
7.2.3 Ermittlung des KV-Diagramms	46
7.3 Schaltnetzsynthese	47
7.3.1 Synthese von Schaltnetzen aus AND-, OR- und NOT-Gliedern	47
7.3.1.1 Beliebiges Fan-In	48
7.3.1.2 Begrenztes Fan-In	48
7.3.2 Synthese von Schaltnetzen mit NOR-Gliedern	49
7.3.2.1 Beliebiges Fan-In	49
7.3.2.2 Begrenztes Fan-In	50
7.3.3 Synthese von Schaltnetzen mit NAND-Gliedern	51
7.3.3.1 Beliebiges Fan-In	52
7.3.3.2 Begrenztes Fan-In	52
7.3.4 Zusammenfassung der Regeln	52
7.4 Vereinfachung von Booleschen Funktionen	53

	Seite
7.4.1 Problemstellung, Übersicht über verschiedene Verfahren	53
7.4.2 Rechenregeln für die algebraische Vereinfachung	54
7.4.3 Karnaugh-Veitch-Diagramme	54
7.4.3.1 Minterm-Methode	54
7.4.3.2 Maxterm-Methode	61
7.4.3.3 Wichtige Regeln bei der Anwendung der KV-Tafeln	61
8. Kippschaltungen	62
8.1 Allgemeines	62
8.2 Bistabile Kippstufen (Flipflops)	63
8.2.1 Arten von Flipflops	63
8.2.2 Grundschaltung	63
8.2.3 RS-Flipflop (Speicherflipflop)	65
8.2.3.1 RS-Flipflop mit NOR-Gliedern	66
8.2.3.2 RS-Flipflop mit NAND-Gliedern	66
8.2.4 Getaktetes RS-Flipflop (Auffangflipflop, Latch)	67
8.2.5 D-Flipflop (Delay-Flipflop)	67
8.2.6 R-Flipflop (0-Flipflop, Reset-Flipflop)	68
8.2.7 S-Flipflop (1-Flipflop, Set-Flipflop)	69
8.2.8 E-Flipflop	69
8.2.9 T-Flipflop (Trigger Flipflop, Toggle Flipflop)	69
8.2.10 Zweispeicher-Flipflop (Flipflop mit Zwischenspeicher)	71
8.2.10.1 Prinzip des Zweispeicherflipflops	71
8.2.10.2 Arten der Taktsteuerung	72
8.2.10.3 JK-Flipflop	72
8.2.10.4 DV-Flipflop	74
8.3 Monostabile Kippstufen (Monoflops)	74
8.3.1 Grundschaltung	74
8.3.2 Monoflop mit statischem Eingang	75
8.3.3 Monoflop mit dynamischem Eingang	77
8.3.4 Monoflop mit logischen Grundfunktionen	77
8.4 Astabile Kippschaltungen (Multivibratoren)	78
8.4.1 Grundschaltung	78
8.4.2 Verbesserung der dynamischen Eigenschaften	79
8.5 Schwellwertschaltungen (Schmitt-Trigger)	80
8.5.1 Prinzip und Grundschaltung	80
8.5.2 Integrierter Schmitt-Trigger	82
8.6 Zusammenfassender Überblick über die verschiedenen Typen von Kippschaltungen	82
9. Codierung I, Zahlensysteme	84
9.1 Allgemeines, Definitionen	84
9.2 Zahlendarstellungen (Zahlensysteme)	85
9.2.1 Strichdarstellung	85
9.2.2 Römisches Zahlensystem	86

	Seite
9.2.3 Polyadische (B-adische Systeme)	86
9.2.3.1 Dezimalsystem	87
9.2.3.2 Dualsystem	87
9.2.3.3 Das Oktalsystem	87
9.2.3.4 Das Hexadezimal- oder Sedenzimalsystem	88
9.2.4 Rechenoperationen in polyadischen Systemen	89
9.2.4.1 Addition ganzer, positiver Zahlen	89
9.2.4.2 Subtraktion ganzer Zahlen	90
9.2.5 Zahlenkonvertierung zwischen einzelnen Systemen	94
9.2.5.1 Konvertierung von Zahlen aus anderen Systemen ins Dezimalsystem	94
9.2.5.2 Konvertierung von Dezimalzahlen in andere Zahlensysteme	95
9.2.5.3 Konvertierung zwischen Dual-, Oktal- und Hexadezimalzahlen	98
9.2.6 Dualzahlenverarbeitung mit standardisierter Stellenzahl	99
9.2.6.1 Ganze, positive Zahlen	99
9.2.6.2 Berücksichtigung des Vorzeichens	100
9.2.7 Zahlen in Festkommadarstellung	101
9.2.8 Zahlen in Gleitkommadarstellung	102
10. Codierung II, binäre Codierung von Ziffern und Zahlen	103
10.1 Allgemeines, Übersicht	103
10.2 Begriffe und Definitionen zu Binärcodierung	104
10.2.1 Stellenzahl k , binäre Nachrichtenmenge N	104
10.2.2 Redundanz R , Redundanzwirkungsgrad η_R	104
10.2.3 Wortcode, Zifferncode	105
10.2.4 Gewicht eines Wortes	105
10.2.5 Gleichmäßigkeit	106
10.2.6 Vollständiger Code	106
10.2.7 Hamming-Distanz D , Minimaldistanz d	106
10.2.8 Stetigkeit	107
10.2.9 BCD-Codes	107
10.3 Übertragung, Speicherung und Verarbeitung von zifferncodierten Zahlen	107
10.4 Zählcodes	108
10.5 Positions Codes	110
10.5.1 Bewertbare Codes	110
10.5.2 Anordnungscodes	110
10.5.3 Spezielle Positions Codes	111
10.5.3.1 Natürlicher (reiner) Binärcode (NBC)	111
10.5.3.2 Einschrittige Codes	112
10.5.3.3 4-Bit-BCD-Codes (Tetracodes)	116
10.5.3.4 5-Bit-BCD-Codes (Pentadische Codes)	120
10.5.3.5 Exzeß-e-Code	120
10.5.3.6 Gleichgewichtete Codes (g -aus k -Codes)	121
10.5.3.7 Der ASCII-Code	123

	Seite
11. Codierung III, Codierung und Datenkanal	124
11.1 Zweck der Codierung	124
11.2. Eigenschaften des Übertragungskanals, das Augendiagramm	124
12. Codierung IV, Datensicherung	127
12.1 Allgemeines Definitionen	127
12.1.1 Ursachen und Arten der Störungen	127
12.1.2 Flankenverzerrung, Fehler	128
12.1.3 Impulseinbrüche	128
12.1.4 Bitfehlerwahrscheinlichkeit	128
12.1.5 Wortfehlerwahrscheinlichkeit	128
12.1.6 Restfehlerrate	129
12.2. Datensicherungsmethoden	129
12.2.1 Fehlererkennung durch direkte oder invertierte Wiederholung	130
12.2.2 Fehlererkennung durch hochredundante Codes	131
12.2.3 Fehlererkennung durch Paritätsprüfung (Parity Check)	131
12.2.3.1 Codes mit einem Prüfbit (Parity Bit)	132
12.2.3.2 Codes mit 2 und mehr Prüfbits	133
12.2.3.3 Blockcodes mit Längs- und Querprüfbits (Kreuzsicherungscode)	134
12.2.3.4 Zyklische Codes	135
12.2.3.5 Codesicherung mittels CRC-Prüfsummen-Verfahren	136
13. Impulszähler (Zähler)	139
13.1 Zählerorganisation	139
13.2 Darstellung der abzuzählenden Impulse	139
13.3 Asynchrone Vorwärtzähler	140
13.3.1 Binäruntersetzer	140
13.3.2. Asynchrone dekadische Vorwärtzähler	141
13.4 Synchrone Zähler	145
13.4.1 Synchrone dekadische Vorwärtzähler	145
13.4.2 Modulo-n-Zähler	147
13.4.3 Ringzähler (Zähiring)	150
13.4.4 Johnson- oder Moebius-Zähler	151
13.5 Vor- Rückwärtzähler (reversible Zähler)	153
14. Registerschaltungen	155
14.1 Allgemeines	155
14.2 Statische Flipflopregister	155
14.3 Schieberegister	155
14.3.1 Schieberegister für eine Schieberichtung	156
14.3.2 Schieberegister für zwei Schieberichtungen	157
14.3.3 Serien-Parallel-Umsetzer	157
14.3.4 Δ -Parallel-Serien-Umsetzer	158

	Seite
15. Impulssynchronisation, Races und Hazards	160
15.1 Einleitung, Allgemeines	160
15.2 Synchronisation mit Monoflops	160
15.2.1 Verzögerung der Vorderflanke	160
15.2.2 Verzögerung der Rückflanke	161
15.2.3 Verzögerung der Vorder- und Rückflanke	161
15.3 Wettlauf- oder Raceerscheinungen in asynchronen Schaltungen	162
15.4 Hazards in asynchronen Schaltungen	162
15.5 Synchronisation mittels Flipflops	164
15.6 Darstellung des dynamischen Verhaltens von Flipflops im Zustandsdiagramm	167
15.7 Beispiele für Impulssynchronisierungsschaltungen	169
15.7.1 Allgemeines	169
15.7.2 Erzeugung eines taksynchronen Impulses	169
15.7.3 Erzeugung einer unverstümmelten Impulsfolge	170
16. Digital-Analog-Umsetzer (D/A-U)	172
16.1 Allgemeines	172
16.2. Schalten von Strömen, der Glitch-Effekt	173
16.3 Direkte D/A-Umsetzer	174
16.3.1 Parallel-Digital/Analog-Umsetzer	175
16.3.1.1 D/A-U mit gewichteten Referenzspannungsquellen	175
16.3.1.2 D/A-U mit gewichteten Widerständen als Spannungsteiler	175
16.3.1.3 D/A-U mit eingeprägten Strömen	178
16.3.2 Parallel-Seriell-Digital-Analog-Umsetzer	179
16.3.3 Seriell-Digital/Analog-Umsetzer	180
16.4 Indirekte D/A-Umsetzer	182
16.4.1 Pulsbreiten-D/A-Umsetzer	182
16.4.2 Pulsfrequenz-D/A-Umsetzer	184
17. Analog/Digital-Umsetzer A/D-U	185
17.1 Allgemeines	185
17.1.1 Klassifizierung von A/D-Umsetzungsverfahren	185
17.1.2 Kenngrößen von A/D-Umsetzern	186
17.1.2.1 Auflösung und Genauigkeit	186
17.1.2.2 Quantisierungsfehler	187
17.1.2.3 Meßbereich und Anzeigebereich (Repräsentationsbereich)	189
17.1.2.4 Genauigkeit	189
17.1.2.5 Verstärkungsfehler	189
17.1.2.6 Linearität	189
17.1.2.7 Monotonie- und Missing-Code-Fehler	190
17.1.2.8 Einschwingzeit (Settling Time)	191
17.1.2.9 Umwandlungsrate (Conversion Rate)	191
17.1.2.10 Umwandlungszeit (Conversion Ttime)	191
17.1.2.11 Samplingzeit	191

	Seite
17.1.2.12 Slew Rate	192
17.1.2.13 Temperaturfehler	192
17.2 Arten von A/D-Umsetzern	192
17.2.1 Direkte A/D-Wandler	192
17.2.1.1 Mechanische A/D-Wandlung mit Codescheiben	192
17.2.1.2 A/D-Wandler nach der Parallel-Vergleichsmethode (Flash- Converter)	192
17.2.1.3 A/D-Wandler mit parallel-serieller Vergleichsmethode	194
17.2.2 A/D-Wandler mit stufenweiser Annäherung (Wägeverfahren)	196
17.2.2.1 Allgemeines	196
17.2.2.2 Nachlaufverschlüssler	197
17.2.2.3 Stufenrampenwandler	198
17.2.2.4 A/D-Wandler mit Iteration (Successive Approximation Register, SAR)	198
17.2.2.5 Weitere A/D-Wandler mit stufenweiser Annäherung	202
17.2.3 A/D-Wandler mit Zählmethoden	203
17.2.3.1 Pulsbreiten-A/D-Wandler	203
17.2.3.2 Dual-Slope-A/D-Wandler (Zweirampen-A/D-U)	204
17.2.3.3 Quad-Slope-A/D-Wandler (Vier-Rampen-A/D-U)	206
17.2.3.4 A/D-Wandler nach dem Spannungs-Frequenz-Verfahren (Voltage to Frequency-Converter VFC)	209
17.2.3.5 Delta-Sigma-A/D-U (D/S-A/D-U)	210
18. Abtast-Halte-Glieder (Track and Hold T/H, Sample and Hold S/H)	215
18.1 Einführung	215
18.2 Grundlagen, Kenngrößen von Abtast-Halte-Gliedern	216
18.2.1 Grenzfrequenz für A/D-U ohne Abtast-Halte-Glied	216
18.2.2 Durchgriff (Feed-Through)	217
18.2.3 Hold-Step	217
18.2.4 Haltedrift (Droop)	217
18.2.5 Anstiegs geschwindigkeit (Slew Rate) und Aperturzeit (Aperture Delay)	218
18.3 Schaltungstechnik bei Abtast-Halte-Gliedern	219
18.3.1 Kompensation des Hold-Step	219
18.3.2 Kompensation des Feed-Through	219
19. Digitalfilter	221
19.1 Einführung	221
19.2 Grundlagen	221
19.2.1 Frequenzspektrum des diskretisierten Signals	221
19.2.2 Grundstrukturen von Digitalfiltern	222
19.2.2.1 Nichtrekursive Filter (FIR-Filter)	224
19.2.2.2 Rekursive Digitalfilter (IIR-Filter)	226

	Seite
20. Programmierbare Logische Schaltungen (Programmable Logic Devices, PLD)	228
20.1 Einleitung	228
20.2 Kombinatorische PLD	230
20.2.1 (X)ROM	230
20.2.2 PAL	232
20.2.3 PLA	233
20.3 Sequentielle PLD	234
21. Speicherwerke (Datenspeicher)	235
21.1 Kenngrößen von Speicherwerken	235
21.1.1 Speicherkapazität	235
21.1.2 Zugriffszeit, Zykluszeit	235
21.1.3. Modularität	236
21.1.4 Verlustleistung	237
21.1.5 Speicherdichte (bit · mm ⁻³)	237
21.2 Magnetspeicher	237
21.2.1 Mechanische Eigenschaften	238
21.2.2 Magnetische Grundlagen	238
21.2.3 Magnetaufzeichnung (Spechervorgang)	239
21.2.4 Wiedergabevorgang (Lesen der Daten)	241
21.2.5 Ringkernspeicher	242
21.2.5.1 Informationsspeicherung im Ferritkern, Lesen der Information	242
21.2.5.2 Schreiben der Information	244
21.2.5.3 2D-Speicher (bitweise Adressierung)	245
21.2.5.4 3D-Speicher (Wortweise Adressierung)	245
21.3 Halbleiterspeicher	246
21.3.1 Allgemeines	246
21.3.2 Halbleiterspeicher mit wahlfreiem Zugriff (dynamic random access memory, DRAM) und flüchtiger Speicherung	246
21.3.2.1 Statische Bipolarzellen mit Multi-Emitter-Transistor	247
21.3.2.2 Statische Bipolarzelle mit Schottky-Dioden	248
21.3.2.3 Statische MOS-Zelle	249
21.3.2.4 Dynamische Halbleiterspeicher	250
21.3.3 Halbleiterspeicher mit seriellem Zugriff und flüchtiger Speicherung	253
21.3.3.1 Statische Schieberegister	253
21.3.3.2 Dynamische Schieberegister	253
21.3.3.3 Eimerkettenschaltung (Bucket Brigade Device, BBD)	255
21.3.3.4 Ladungsgekoppeltes Schieberegister (Charge Coupled Device, CCD)	256
21.3.3.5 First-In-First-Out- und Last-In-First-Out-Speicher (FIFO und LIFO)	257
21.3.4 Nichtflüchtige Halbleiter-Festwertspeicher	

	Seite
(ROM, PROM, EPROM, EAROM, EEPROM)	257
21.3.4.1 Struktur von Halbleiter-Festwertspeichern	258
21.3.4.2 Technologien von Halbleiter-Festwertspeichern	259
21.3.5 Nichtflüchtige Halbleiter-Schreib/Lesespicher (NOVRAM)	263
21.3.6 Flüchtige Halbleiter-Schreib/Lesespicher mit Schutz gegen Betriebsspannungsausfall	264
21.3.7 Optische WORM-Speicher (Write-Once-Read-Many)	264
21.4 Magnetblasenspeicher (Magnetic Bubble Memories)	264
21.4.1 Physikalisches Prinzip des Blasenspeichers	264
21.4.2 Aufbau eines Magnetblasenspeichers	266
21.4.3 Arbeitsweise	266
22. Vergleich und Rechenwerke (Arithmetisch-Logische Einheit ALU)	269
22.1 Vergleicher	269
22.1.1 Äquivalenz-Verknüpfung (Einfacher Vergleicher)	269
22.1.2 Größer-Kleiner-Vergleicher	269
22.2 Rechenwerke	270
22.2.1 Halbaddierer (HA) für 1 bit	271
22.2.2 Volladdierer (VA) für 1 bit	271
22.2.3 Vollsubtrahierer (VS) für 1 bit	272
22.2.4 Serieller Addierer	272
22.2.5 Einfacher Paralleladdierer mit "Carry-Ripple-Through"-Technik	273
22.2.6 Schneller Parallel-Volladdierer mit "Carry-Look-Ahead"-Technik	274
22.2.7 Erweiterung des Parallel-Volladdierers zur ALU	275
22.2.8 Zusammenschaltung mehrerer ALU zur Vergrößerung der Wortlänge	276
22.2.9 Algorithmen zur Durchführung von Multiplikation und Division	278
22.2.9.1 Multiplikation	278
22.2.9.2 Division	280
23. Digitale Schaltwerke, mikroprogrammierte Steuerungen	282
23.1 Einleitung, Problemstellung	282
23.2 Schaltwerk, Steuerwerk, Operationswerk und Steuerkreis	282
23.3 Arten von Schaltwerken	283
23.3.1 Festverdrahtetes Schaltwerk	283
23.3.2 Schaltwerk mit PLD-Schaltkreisen	283
23.3.3 Speicherprogrammierte (mikroprogrammierte) Schaltwerke	283
23.3.4 Schaltwerke mit Mikroprozessoren	283
23.4 Das Schaltwerk als endlicher Automat (Zustandsmaschine, Finite State Machine FSM)	284
23.4.1 Mealy-Automat	285
23.4.2 Moore-Automat	286
23.4.3 Vergleich Mealy/Moore-Automat	286
23.5 Ungetaktete ("asynchrone") Schaltwerke	286
23.6 Getaktete („synchrone“) Schaltwerke	287
23.7 Beispiele für synchrone, mikroprogrammierte Schaltwerke	287
23.8 Verallgemeinertes Modell des synchronen	

	Seite
mikroprogrammierten Steuerwerks	289
23.9 Erzeugung der Folgeadressen	290
23.9.1 Folgeadreßerzeugung mittels Binärzähler	290
23.9.2 Folgeadreßerzeugung durch das Mikroprogramm	291
23.9.3 Folgeadreßerzeugung durch interne Verknüpfung von Eingangs- und Zustandsvektor	291
23.10 Steuerwortauswertung	291
24. Grundlagen digitaler Rechenautomaten (Digitalrechner)	293
 24.1 Begriffsbestimmung Analogrechner, Digitalrechner und Hybridrechner	293
24.1.1 Analogrechner (AR)	293
24.1.2 Digitalrechner (DR)	293
24.1.3 Hybridrechner (HR)	294
 24.2 Prinzipieller Aufbau von digitalen Rechensystemen	295
24.2.1 Einleitung, Informationsverarbeitung beim Menschen	295
24.2.2 Prinzipielle Architekturen von Digitalrechnern	296
24.2.2.1 Von-Neumann Rechner, Single-Instruction/ Single-Data-Stream (SISD)-Rechner	297
24.2.2.2 Single-Instruction/Multiple-Data-Stream (SIMD)-Rechner	298
24.2.2.3 Multiple-Instruction/Single-Data-Stream-(MISD)-Rechner	298
24.2.2.4 Multiple-Instruction/Multiple- Data-Stream-(MIMD)-Rechner	298
 24.3 Arten von Rechnern	299
24.3.1 Handbediente Tischrechner, Taschenrechner	299
24.3.2 Programmgesteuerte Rechenmaschinen	300
24.3.3 Speicherprogrammierte Rechenmaschinen	300
 24.4 Technische Ausrüstung von Rechnern (Hardware)	301
24.4.1 Großcomputer	302
24.4.2 Minicomputer	302
24.4.3 Mikrocomputer	303
24.4.4 Mikroprozessor	303
24.4.5 Home- und Personalcomputer	303
24.4.6 Vektorrechner (Feldrechner)	304
24.4.7 Transputer	304
24.4.8 Digitale Signalprozessoren	304
 24.5 Programmausrüstung von Rechnern (Hardware)	305
24.5.1 Programmierung im Maschinencode	305
24.5.2 Symbolische Programmiersprache (1:1-Übersetzung) oder Assemblercode	305
24.5.3 Problemorientierte Programmiersprachen	305
24.5.3.1 Interpreter	306
24.5.3.2 Compiler	306
24.5.4 Betriebssysteme (Monitor-Systeme)	309
24.5.5 Mehrprogrammbetrieb (Multiprogramming)	309

	Seite
24.5.6 Simultanverarbeitung (Multiprocessing)	309
24.5.7 Multitasking	310
24.5.8 Teilnehmerrechensysteme (Multi-User-Systeme)	310
24.5.9 Verteilte Systeme (distributed Systems), Rechnernetze	310
24.6 Geschichtliches zur Computertechnik	312
24.7 Informationsverarbeitung im klassischen von-Neumann-Rechner	317
24.7.1 Operationsprinzip	317
24.7.2 Synchrone Steuer- oder Leitwerk	318
24.7.3 Befehlstypen und Befehlsaufbau	318
24.7.3.1 Typische Befehlsarten	318
24.7.3.2 Ein-, Zwei- und Mehradreßbefehle	319
24.7.4 Arten der Adressierung (Adressierungsmodus) allgemein	320
24.7.4.1 Einteilung des Speicherraums in Seiten (memory paging)	320
24.7.4.2 Nicht-indizierte Adressierungstechniken	321
24.7.4.3 Indizierte Adressierungstechniken	324
24.7.5 Steuerwerk	326
24.7.6 Befehlsverarbeitung in der CPU	327
24.7.7 Programmierebenen	328
24.7.7.1 Makroprogrammebene	328
24.7.7.2 Mikroprogrammierung	329
24.7.8 Programmunterbrechung (Interrupt)	329
24.7.9 Datenverkehr mit den E/A-Einrichtungen	331
24.7.10 Direkter Speicherzugriff (Direct memory Access, DMA)	331
24.8 Hochleistungs-Mikroprozessoren	332
24.8.1 Bitslice-Prozessoren	333
24.8.2 Pipeline-Prozessoren	333
25. Mikrocomputer (Micro Computer Units, MCUs)	336
25.1 Informationsdarstellung mittels ASCII-Code	336
25.2 Hypothetischer 8-Bit-Mikrocomputer	339
25.2.1 Architektur des hypothetischen Mikrocomputers	339
25.2.2 Funktion der Register	340
25.2.2.1 Datenregister	340
25.2.2.2. Befehlsregister	341
25.2.2.3 Akkumulator	342
25.2.2.4 Prozessor-Statusregister	342
25.2.2.5 Befehlszähler (Program Counter PC)	343
25.2.2.6 Indexregister	343
25.2.2.7 Stapelzeiger (Stackpointer, SP)	343
25.2.2.8 Adreßregister	344
25.3 Steuerlogik	344
25.4 Befehlsverarbeitung in der MPU	345
25.5 Programmunterbrechung (Interrupt)	345
25.6 Datenverkehr mit den E/A-Einrichtungen	347
25.6.1 Hypothetisches E/A-Werk für parallelen Betrieb (PIA)	348

	Seite
25.6.1.1 Datenrichtungsregister DDR, I/O-Pufferregister IOB	348
25.6.1.2 Steuer- oder Kontroll-Register (Control Register)	349
25.6.1.3 Adressierung der Register des PIA	350
25.6.1.4 Bausteinadressierung (Chip Select)	351
25.6.1.6 Steuersignale EN, RESET und R/W	351
25.6.2 Hypothetisches E/A-Werk für seriellen Betrieb (SIA oder ACIA)	351
25.6.2.1 Steuer- oder Kontrollregister (Control Register)	353
25.6.2.2 Statusregister	354
25.6.2.3 Registeradressierung	355
25.6.3 Hypothetisches E/A-Werk für universellen Einsatz (Versatile Interface Adapter VIA)	355
25.6.3.1 Datenrichtungsregister DDRA, DDRB	357
25.6.3.2 Input-Register (Latches) IRA, IRB und Output-Register ORA, ORB	358
25.6.3.3 Schieberegister (SR) und Hilfssteuerregister (ACR)	359
25.6.3.4 Steuersignale CP ₂ , RESET, R/W	359
25.6.3.5 Chip- und Registeradressierung CS ₁ , CS ₂ , RS ₀ ... RS ₃	360
25.6.3.6 Interrupt-Request-Signal IRQ	361
25.6.3.7 Periphere Steuerleitungen CA ₁ , CA ₂ , CB ₁ , CB ₂	361
25.6.3.8 Quittungsbetrieb (Handshake) bei Datenübertragungen, Peripherie-Steuerregister PCR	361
25.6.3.9 Interruptbetrieb, Interrupt-Flag-Register IFR, Interrupt-Enable-Register IER	363
25.6.3.10 Zeittakt-Steuerung (Timer-Operation)	365
25.7 Minimalkonfiguration des hypothetischen Mikrocomputers	370
25.8 Befehlssatz des hypothetischen Mikroprozessors	371
25.9 Industrielle 16- und 32-Bit-Mikroprozessoren	379
Auswahl ergänzender und weiterführender Literatur	383
Stichwortverzeichnis	385