

Inhaltsverzeichnis

1	Einführung und Abgrenzung	1
1.1	Testen im Produktionsablauf	1
1.2	Begriffsklärung und Abgrenzung	4
1.2.1	Verifikation	4
1.2.2	Validierung	5
1.2.3	Identifikation	6
1.2.4	Testen	8
2	Fehlermodelle	11
2.1	Funktionsfehlermodell	11
2.2	Haftfehlermodell	13
2.2.1	Haftfehler in Bipolarschaltungen	13
2.2.2	Haftfehler in MOS-Schaltungen	17
2.2.3	Fehleräquivalenz und Fehlerdominanz bei Haftfehlern	19
2.3	CMOS-Unterbrechungsfehler	21
2.4	Verzögerungsfehler	25
3	Testmusterberechnung	27
3.1	Testmusterberechnung für kombinatorische Schaltungen	27
3.1.1	Boolesche Differenzen und Schaltungstest	28
3.1.1.1	Boolesche Differenz der inversen Schaltfunktion	33
3.1.1.2	Boolesche Differenz konjunktiv verknüpfter Schaltfunktionen	34
3.1.1.3	Boolesche Differenz disjunktiv verknüpfter Schaltfunktionen	35
3.1.1.4	Rechenregeln für Boolesche Differenzen	36
3.1.2	Einzelpfadsensibilisierung	40
3.1.3	D-Algorithmus	42
3.1.4	PODEM	55
3.1.5	Sonstige Verfahren	61
3.2	Testmusterberechnung für sequentielle Schaltungen	66

4	Fehlersimulation	69
4.1	Simulationmethoden	70
4.2	Serielle Fehlersimulation	72
4.3	Fehlerparallele Fehlersimulation	75
4.4	Musterparallele Fehlersimulation	77
4.5	Deduktive Fehlersimulation	79
4.6	Nebenläufige Fehlersimulation	81
4.7	Simulation mit einer Fehlerstichprobe	83
5	Testbarkeitsanalyse	93
5.1	Steuerbarkeit, Beobachtbarkeit, und Testbarkeit kombinatorischer Schaltungen	94
5.2	Statistische Verfahren zur Testbarkeitsanalyse	99
5.2.1	Schätzung der Einstellbarkeit	99
5.2.2	Schätzung der Testbarkeit eines Fehlers	101
5.2.3	Schätzung der Beobachtbarkeit	105
5.2.4	Schätzung der bedingten Beobachtbarkeit	105
5.2.5	Schätzung der bedingten Einstellbarkeit	109
5.3	Probabilistische Verfahren	110
5.3.1	Exakte funktionsorientierte Berechnung von Signal- und Fehlererkennungswahrscheinlichkeiten	110
5.3.2	Strukturorientierte approximative Berechnung von Signal- und Fehlererkennungswahrscheinlichkeiten	116
5.4	Charakterisierung schwer erkennbarer Fehler	119
6	Testfreundlicher Entwurf	125
6.1	Testfreundlicher Entwurf zur Vereinfachung der Fehlermodellierung ...	125
6.1.1	Vermeidung von CMOS-Unterbrechungsfehlern	126
6.1.2	Vermeidung von Gatterverzögerungsfehlern	127
6.1.3	Vermeidung von undefinierter Signalpegel	128
6.2	Testfreundlicher Entwurf zur Vereinfachung der Testanwendung	129
6.2.1	Reed-Muller-Form	129
6.3	Testfreundlicher Entwurf zur Vereinfachung der Testmusterberechnung	132
6.3.1	Vollständiger Prüfbus	132
6.3.2	Einfluß des Prüfbus auf die Testgenerierung	134
6.3.3	Unabhängig testbare Module mit Prüfbus	136
6.3.4	Unvollständiger Prüfbus	137
7	Selbsttest integrierter Schaltungen	143
7.1	Architektur selbsttestender Schaltungen	143

7.2	Testmustergeneratoren für den eingebauten Selbsttest	144
7.2.1	Zähler für den erschöpfenden Test	145
7.2.2	Linear rückgekoppelte Schieberegister	146
7.2.3	Lineare zellulare Automaten	152
7.2.4	Nichtlinear rückgekoppelte Schieberegister	155
7.3	Testdatenkompression	160
7.3.1	Signaturanalyse	161
7.3.2	Mehrfacheingangssignaturregister	177
7.3.3	Lineare zellulare Automaten	196
7.3.4	Klassifikation von linearen Datenkompressoren	198
7.4	Blockselbsttestverfahren	199
Anhang		201
A1	Hypergeometrisch und binomial verteilte Zufallsvariable	201
A2	Wahrscheinlichkeitsfunktion und Momente betav verteilter Zufallsvariabler	202
A3	Primitive Polynome bis zum Grad 258	203
Literatur		209