

Inhaltsverzeichnis

Vorwort	XI
1 CAD-Motivation	
durch Einblick in den Schaltungsentwurf	1
1 . 1 Packungshierarchien	1
1 . 2 Zusammenspiel von CAD/CAM/CIM in Entwicklung und Fertigung	15
1 . 3 Die CAD-gestützte Mikroelektronik-Entwicklung	18
2 Simulation	22
2 . 1 Simulationsebenen	23
2 . 2 Schaltkreissimulation	35
2 . 2 . 1 Überblick sowie Rückblick auf die Programmanwendung	35
2 . 2 . 2 Ablauf der Schaltkreissimulation	53
2 . 2 . 3 Formulierung der Systemgleichungen	59
2 . 2 . 3 . 1 Die Modifizierte Knotenformulierung (MNA)	60
2 . 2 . 3 . 2 Die Tableau-Formulierung (STA)	63
2 . 2 . 3 . 3 Abschließender MNA-STA-Vergleich	69
2 . 2 . 4 Lösungsverfahren, Behandlung (sehr) großer linearer Gleichungssysteme	71
2 . 2 . 4 . 1 Der klassische Gaußsche Algorithmus	72
2 . 2 . 4 . 2 Die LU-Faktorisierung (Verketteter Gaußscher Algorithmus)	74
2 . 2 . 4 . 3 Überlegungen zu Rechenzeit und Speicherplatzbedarf	78
2 . 2 . 5 Integration der Differentialgleichungen	87
2 . 2 . 5 . 1 Die Integration der 1. Ordnung	87

2.2.5.2 Integrationsverfahren höherer Ordnung	93
2.2.5.3 Integrationsfehler und Schrittbreite	97
2.2.6 Iterative Behandlung von Nichtlinearitäten und Abhängigkeiten	99
2.2.6.1 Die Newton-Raphson-Iteration	100
2.2.6.2 Konvergenz und Schrittbreite	106
2.2.7 Aufgabenteil A1 (Aufgaben zur Schaltkreissimulation) ..	110
2.3 Prozeß- und Bauelemente- (Device-) Simulation	115
2.4 Logiksimulation	127
2.4.1 Elemente der Logiksimulation und Definitionen	127
2.4.1.1 Zeitverhalten der Gatter	129
2.4.1.2 Blockdefinitionen	133
2.4.1.3 Mehrwertige Logiken	139
2.4.2 Schaltungsbeschreibung	142
2.4.3 Simulationstechniken und Algorithmen	144
2.4.3.1 Simulationsablauf	145
2.4.3.2 Algorithmen	150
2.4.4 Aufgabenteil A2 (Aufgaben zur Logiksimulation)	152
2.5 Register-Transfer-Simulation	156
2.5.1 ERES - Erlanger Rechner-Entwurfs-Sprache als besonders einfaches Beispiel für die RT-Simulation	159
2.5.2 Die wichtigsten ERES-Sprachelemente	163
2.5.2.1 Speicher	163
2.5.2.2 Schaltnetze	165
2.5.2.3 Taktepulse	170
2.5.2.4 Transfers (Instruktionsteil)	171

2.5.3 Ablauf der Simulation mit ERES	173
2.5.4 Aufgabenteil A3 (Aufgaben zur RT-Simulation)	175
2.6 High-Level Simulation (Systemsimulation)	177
 3 Konstruktion, Layout	181
3.1 Struktur und Aufbau integrierter Schaltungen	182
3.1.1 Vergleich verschiedener Semi-Kunden-IC's	187
3.1.2 Aufbau eines Gate- oder Zellen-Arrays	189
3.1.3 Schaltkreistechniken	191
3.2 Das Layout auf der Siliziumebene, interne Zellenkonstruktion .	200
3.3 Ablauf eines mit CAD-Unterstützung durchgeführten Designs .	210
3.4 Die drei Hauptteile des Layouts	215
3.4.1 Partitionierung (Partitioning)	216
3.4.2 Plazierung (Placement)	227
3.4.2.1 Plazierungsprobleme	228
3.4.2.2 Plazierungsalgorithmen	233
3.4.3 Verdrahtung (Wiring, Routing)	241
3.4.3.1 Verdrahtungsprobleme	242
3.4.3.2 Verdrahtungsalgorithmen	250
3.5 Entwurfskontrolle	259
3.5.1 Kontrolle der geometrischen Abmessungen	264
3.5.2 Kontrolle der logischen und elektrischen Eigenschaften ..	268
3.5.3 Zusammenfassung der Entwurfskontrolle	275
3.6 Aufgabenteil A4 (Aufgaben zum Layout)	277

4 Testdatenerstellung	284
4.1 Probleme der Prüftechnik	285
4.2 Der Stuck-Fault-Test (Haftfehlertest)	290
4.2.1 Definitionen	290
4.2.2 Ablauf der Datenerstellungsprozedur	295
4.2.3 Fehlermatrizen	298
4.2.4 Pfadsensibilisierung und D-Algorithmus	303
4.2.4.1 Die Pfadsensibilisierung	303
4.2.4.2 Der D-Algorithmus	306
4.2.4.3 Suche eines sensiblen Pfads mit Hilfe von D-Ketten	308
4.2.5 Testmuster-Generierung	309
4.2.6 Prüfbarkeitsanalyse	313
4.3 Hinweise auf weitere Fehlermöglichkeiten	316
4.4 Test von Schaltwerken	319
4.4.1 Allgemeine Problematik	319
4.4.2 Strukturierter Entwurf (wegen "Design for Testability") ..	322
4.4.3 LSSD (Level Sensitive Scan Design)	324
4.4.3.1 Das LSSD-Grundprinzip	325
4.4.3.2 LSSD-geeignete Flipflops (sog. SRL's) und Schieberegister mit SRL's	329
4.4.3.3 LSSD mit SRL's und der Test mit LSSD	339
4.5 Signuranalyse	341
4.5.1 Linear rückgekoppelte Schieberegister (LFSR's)	342
4.5.1.1 Das LFSR zur Erzeugung von Pseudo-Zufallszahlen ..	342
4.5.1.2 Einige mögliche XOR-NXOR-Realisationen	348

4 . 5 . 2 Das LFSR als Signaturregister	350
4 . 5 . 2 . 1 Datenkompression	350
4 . 5 . 2 . 2 Testanordnungen und schaltungstechnische Varianten	354
4 . 6 Selbsttest und BILBO	359
4 . 7 Aufgabenteil A5 (Aufgaben zur Testdatenerstellung)	364
5 Schlußbemerkungen	369
6 Lösungen der Aufgaben	378
6 . 1 Lösungen des Aufgabenteils A1 (Schaltkreissimulation)	378
6 . 2 Lösungen des Aufgabenteils A2 (Logiksimulation)	379
6 . 3 Lösungen des Aufgabenteils A3 (RT-Simulation)	381
6 . 4 Lösungen des Aufgabenteils A4 (Layout)	384
6 . 5 Lösungen des Aufgabenteils A5 (Testdatenerstellung)	387
Literaturverzeichnis	392
Namensregister	397
Sachwortregister	400