

Inhaltsverzeichnis

- 1 Zahlensysteme 1**
 - 1.1 Allgemeines Zahlensystem 1
 - 1.2 Dual-, Oktal- und Hexadezimalsystem 2
 - 1.3 Konvertierung zwischen den Zahlensystemen 3
 - 1.4 Arithmetische Operationen im Dualsystem 5
 - 1.4.1 Die duale Addition 5
 - 1.4.2 Die duale Subtraktion 5
 - 1.4.3 Die Multiplikation von Dualzahlen (Booth-Algorithmus) 10
 - 1.4.4 Die Division von Dualzahlen (Restoring-Methode) 11
 - 1.5 Die Darstellung gebrochener Zahlen im Dualsystem 13
- 2 Logische Funktionen 15**
 - 2.1 Grundbegriffe 15
 - 2.1.1 Logik-Pegel und Logik-Zustand einer binären Variablen 15
 - 2.1.2 Zuordnungssysteme 16
 - 2.1.3 Signalnamen in der Digitaltechnik 20
 - 2.2 Vergleich zwischen analoger und digitaler physikalischer Größe 20
 - 2.3 Schaltalgebra 22
 - 2.3.1 Verknüpfungszeichen 22
 - 2.3.2 Definition der logischen Funktionen 24
 - 2.3.3 Schaltsymbole 25
 - 2.3.4 Rechenregeln der Schaltalgebra 28
 - 2.3.5 Logikstufen 30
 - 2.3.6 Realisierung der Grundverknüpfungen in NAND- und NOR-Technik 31
 - 2.3.7 Normalform einer logischen Funktion 33
 - 2.4 Minimieren logischer Funktionen 35
 - 2.4.1 Allgemeines 35
 - 2.4.2 Minimierungsverfahren 37
 - 2.4.3 Karnaugh-Veitch-Diagramm (KV-Diagramm) 38
 - 2.4.3.1 KV-Diagramm für zwei Eingangsvariablen 39
 - 2.4.3.2 KV-Diagramm für drei Eingangsvariablen 41
 - 2.4.3.3 KV-Diagramm für vier Eingangsvariablen 44
 - 2.4.3.4 KV-Diagramm für fünf Eingangsvariablen 46
- 3 Technische Realisierung digitaler Schaltungen 49**
 - 3.1 Überblick über die technologische Entwicklung 49
 - 3.2 Realisierungskonzepte nach Einführung integrierter Schaltkreise 49
 - 3.3 Charakteristische Eigenschaften digitaler integrierter Schaltkreise 52
 - 3.3.1 Lastfaktoren 53
 - 3.3.2 Störspannungsabstand 53

3.3.3	Schaltzeiten	54
3.4	Bausteinfamilien	56
3.4.1	Transistor-Transistor-Logik (TTL)	56
3.4.1.1	Digitale Schaltungen in Standard-TTL	56
3.4.1.2	Digitale Schaltungen in Schottky-TTL	57
3.4.1.3	TTL-Schaltungen mit spezieller Ausgangsstufe	59
3.4.1.4	Realisierung der Pegel-Zustände an TTL-Eingängen	61
3.4.2	Integrierte Schaltungen in MOS-Technik	64
3.4.3	Emitter Coupled Logic (ECL)	69
3.4.4	Trends bei der technologischen Weiterentwicklung	71
3.5	Anwenderspezifische Bausteine (Application Specific ICs)	71
3.5.1	Fullcustom ICs	72
3.5.2	Gate Array	72
3.5.3	Standardzellen IC	72
3.6	Programmierbare Logik	73
3.6.1	Programmable Logic Device PLD	73
3.6.2	Complex Programmable Logic Device (CPLD)	79
3.6.3	Field Programmable Gate Array FPGA	81
3.6.3.1	Allgemeiner Aufbau eines FPGAs	81
3.6.3.2	FPGA mit Antifuse-Link	81
3.6.3.3	FPGA mit SRAM-Verbindungselement	84
4	VHDL als Entwurfs- und Simulationssprache	91
4.1	Einführung in VHDL	91
4.2	Motivation zum Erlernen von VHDL in einem Grundkurs	91
4.3	Grundlagen	92
4.4	Entity-Deklaration	93
4.4.1	Einfache Entity-Deklaration ohne Parameterübergabe	95
4.4.2	Erweiterte Entity-Deklaration mit Parameterübergabe	95
4.4.3	Entity-Deklaration mit Entity-Anweisungen	96
4.5	Architecture	96
4.5.1	Verhaltensbeschreibung (Behavioral description)	97
4.5.2	Nebenläufige Anweisungen in der Verhaltensbeschreibung	97
4.5.2.1	Nebenläufige Signalzuweisung	98
4.5.2.2	When-Else-Anweisung	98
4.5.2.3	With-Select-When-Anweisung	99
4.5.2.4	Anwendungsbeispiele mit nebenläufigen Anweisungen	99
4.5.3	Prozeß-Anweisung	101
4.5.4	Sequentielle Anweisungen in der Verhaltensbeschreibung	102
4.5.4.1	Sequentielle Signalzuweisung	103
4.5.4.2	Sequentielle Variablenzuweisung	103
4.5.4.3	If-Then-Else-Anweisung	104
4.5.4.4	Case-When-Anweisung	104
4.5.4.5	For-Loop-Anweisung	104
4.5.4.6	While-Loop-Anweisung	105
4.5.4.7	Next- und Exit-Anweisung	105
4.5.4.8	Anwendungsbeispiele mit Prozeß und sequentiellen Anweisungen	105
4.5.5	Strukturbeschreibung (Structural description)	106
4.6	Unterprogramme	109
4.6.1	Prozeduren	109
4.6.2	Funktionen	110

4.7 Weiterführende Kapitel	112
4.7.1 Assertion- und Report-Anweisung	112
4.7.2 Alias-Deklaration	113
4.7.3 Überladen (Overloading)	113
4.7.4 Auflösungsfunktionen (Resolution functions)	114
4.7.5 Package und Use-Anweisung	114
4.7.6 Bibliotheken	117
4.7.7 Generate-Anweisung	117
4.7.8 Block-Anweisung	118
4.7.9 Konfiguration	118
4.7.9.1 Konfiguration für VHDL-Modelle mit Verhaltensbeschreibung	119
4.7.9.2 Komponenten-Konfiguration	119
4.7.9.3 Block-Konfiguration	121
4.8 Anhang: VHDL-Grundbegriffe zum Nachschlagen	123
4.8.1 Bezeichner (Identifier)	123
4.8.2 Datenobjekte und Objektklassen	124
4.8.2.1 Konstanten	125
4.8.2.2 Variablen	125
4.8.2.3 Signale	125
4.8.3 Datentypen	126
4.8.3.1 Skalare Datentypen (Scalar types)	127
4.8.3.2 Zusammengesetzte Datentypen (Composite types)	129
4.8.3.2.1 Arrays	129
4.8.3.2.2 Records	129
4.8.3.2.3 Zugriff auf die Elemente zusammengesetzter Datentypen	130
4.8.3.3 Subtypes	132
4.8.3.4 Attribute	133
4.8.4 Operatoren und Operanden	134
5 Kombinatorische Schaltungen	137
5.1 Codierschaltungen	137
5.1.1 Alphanumerischer Code	137
5.1.2 Numerischer Code	138
5.2 Multiplexer und Demultiplexer	143
5.2.1 Multiplexer	143
5.2.2 Demultiplexer	145
5.3 Addierer	146
6 Sequentielle Schaltungen	151
6.1 Elementare Schaltwerke	151
6.1.1 Digitale Oszillatoren	151
6.1.2 Monostabile Kippstufen (Monoflops)	154
6.1.3 Bistabile Kippstufen (Flipflops)	155
6.1.3.1 Ungetaktetes RS-Flipflop (RS-Latch)	156
6.1.3.2 Einzustandsgesteuerte Flipflops	159
6.1.3.3 Einflankengesteuerte Flipflops	161
6.2 Zähler	170
6.2.1 Asynchrone Zähler	170
6.2.1.1 Asynchroner Dualzähler	170
6.2.1.2 Asynchroner Modulo-m-Zähler	172
6.2.2 Synchrone Zähler	174

6.2.2.1	Synchroner Dualzähler	174
6.2.2.2	Synchroner Modulo-m-Zähler	179
6.3	Schieberegister	181
6.3.1	Realisierung mit flankengesteuerten D-Flipflops	182
6.3.2	Anwendungsgebiete	184
6.3.2.1	Serielle Datenübertragung	184
6.3.2.2	Rechenoperationen	184
6.3.2.3	Rückgekoppelte Schieberegister	185
6.4	Systematische Beschreibung der Schaltwerke	187
6.4.1	Grundlagen der Automatentheorie	187
6.4.2	Das Zustandsdiagramm und die Zustandsfolgetabelle	189
6.4.2.1	Zustandsdiagramm	189
6.4.2.2	Zustandsfolgetabelle	191
6.4.2.3	Zustandsreduzierung	193
6.5	Asynchrone Schaltwerke	194
6.6	Grundlagen synchroner Schaltwerke	196
6.6.1	Reset-Logik zur Vorgabe des Anfangszustands	196
6.6.2	Asynchrone und synchrone Eingabe	197
6.6.3	Kombinatorische Ausgabe und Registerausgabe	197
6.7	Beispiel für die Analyse synchroner Schaltwerke	199
6.8	Beispiele für den Entwurf synchroner Schaltwerke	200
6.9	Einsatz von Festwertspeichern beim Entwurf synchroner Schaltwerke	208
6.9.1	Mealy-Automat	208
6.9.2	Moore-Automat	210
6.9.3	Schaltwerksentwurf mit maskierten Eingangsvariablen	210
7	Digitale Halbleiterspeicher	215
7.1	Schreib-/Lesespeicher (RAM)	216
7.1.1	Statisches RAM (SRAM)	217
7.1.2	Dynamisches RAM (DRAM)	220
7.1.3	Das Fast-Page-Mode-DRAM (FPM-DRAM)	225
7.1.4	Das Enhanced DRAM (EDRAM)	226
7.1.5	Das Extended-Data-Output-DRAM (EDO-DRAM)	226
7.1.6	Burst Extended Data Output DRAM (BEDO-DRAM)	227
7.1.7	Das Synchrone DRAM (SDRAM)	228
7.1.8	Das Enhanced SDRAM (ESDRAM)	230
7.1.9	Quasistatisches dynamisches RAM	231
7.1.10	Dual-Port-RAM und Video-RAM	232
7.1.11	First-In/First-Out-Speicher (FIFO-Speicher)	235
7.2	Festwertspeicher (ROM)	237
7.2.1	Maskenprogrammiertes ROM	238
7.2.2	Programmierbares ROM (PROM)	239
7.2.3	UV-löschbares, programmierbares ROM (EPROM)	239
7.2.4	Elektrisch löschbare, programmierbare ROMs (EAROM, EEPROM)	241
7.2.5	Nichtflüchtige RAMs (Non Volatile RAMs, NOVRAMs)	243
7.3	Entwurf komplexer Speichersysteme	243
7.4	Tabellarische Übersicht über verfügbare Speicherbausteine	247
8	Analog-Digital- und Digital-Analog-Umsetzer	249
8.1	Das Wesen von Analog-Digital-Umsetzern	249
8.2	Anwendungen von Analog-Digital- und Digital-Analog-Umsetzern	251

8.3 Systeme zur Umsetzung analoger in digitale Signale und digitale in analoge Signale	253
8.3.1 Das Abtasttheorem	254
8.3.2 Das Abtasthalteglied (AHG)	255
8.3.2.1 Forderungen an ein AHG während der Abtastphase	258
8.3.2.2 Forderungen an ein AHG während der Haltephase	258
8.3.2.3 Forderungen an ein AHG bezüglich der Umschaltcharakteristik	259
8.3.3 Erreichbare Genauigkeit für ADUs mit einer Codewortlänge von n Bit	262
8.3.4 Digitalcodes für ADUs und DAUs	264
8.4 Prinzipien der Analog-Digital-Umsetzung	266
8.4.1 Das Parallelverfahren	266
8.4.2 Das Wägeverfahren	268
8.4.2.1 Analog-Digital-Umsetzer mit sukzessiver Approximation	270
8.4.2.2 Analog-Digital-Umsetzer nach dem Wägeprinzip in Kaskadenstruktur	271
8.4.3 Das Zählverfahren	273
8.4.4 Das erweiterte Parallelverfahren	274
8.4.4.1 Das allgemeine Prinzip des erweiterten Parallelverfahrens	274
8.4.4.2 Der Pipeline-Analog-Digital-Umsetzer	277
8.4.5 Das erweiterte Zählverfahren	279
8.4.6 Sonderformen von Analog-Digital-Umsetzern	280
8.4.6.1 Indirekte Verfahren	280
8.4.6.1.1 Das Sägezahnverfahren	280
8.4.6.1.2 Das Doppel-Integrations-Verfahren	282
8.4.6.1.3 Das Mehrflanken-Umsetz-Verfahren	284
8.4.6.2 Der Sigma-Delta-Umsetzer	284
8.4.6.3 Die nichtlineare Analog-Digital-Umsetzung	287
8.5 Prinzipien der Digital-Analog-Umsetzung	287
8.5.1 Die Summation gewichteter Ströme	289
8.5.2 Umsetzer mit R-2R-Leiternetzwerk	290
8.6 Eigenschaften realer AD- und DA-Umsetzer	291
8.6.1 Statische Fehler	292
8.6.1.1 Die Quantisierungsfehler	292
8.6.1.2 Der Offsetfehler	293
8.6.1.3 Der Verstärkungsfehler	294
8.6.1.4 Die Nichtlinearität	294
8.6.1.5 Die differentielle Nichtlinearität	295
8.6.1.6 Der Monotoniefehler	295
8.6.1.7 Die Betriebsspannungsabhängigkeit der Wandlerparameter	295
8.6.2 Dynamische Fehler	296
8.6.2.1 Die Einschwingzeit	296
8.6.2.2 Der Signal-Rausch-Abstand und die Effektive Auflösung	297
8.6.2.3 Harmonische Verzerrungen	298
8.6.2.4 Das Histogramm	298
8.6.2.5 Glitch-Fläche	299
8.7 Betrieb von Analog-Digital-Umsetzern	299
8.7.1 Betrieb von Universal-Analog-Digital-Umsetzern	300
8.7.2 Betrieb von Analog-Digital-Umsetzern mit Mikroprozessor-Interface	302
9 Mikroprozessoren und Mikrocontroller	305
9.1 Grundlagen der Mikroprozessortechnik	305
9.1.1 Allgemeines	305

9.1.2 Die Struktur eines Mikrorechners.....	307
9.2 Aufbau und Funktion eines 8-Bit-Mikroprozessors.....	310
9.2.1 Die Hardware-Struktur des Mikroprozessors 8085.....	311
9.2.2 Die Arbeitsweise des Mikroprozessors 8085.....	314
9.2.2.1 Die zeitliche Struktur der Befehlsausführung.....	316
9.2.3 Die Software-Struktur des Mikroprozessors 8085.....	320
9.2.3.1 Bedeutung und Aufbau von Befehlen.....	320
9.2.3.2 Die Adressierungsarten.....	321
9.2.3.3 Der Befehlssatz des 8085.....	323
9.2.4 Aufbau einfacher 8-Bit-Mikrocomputer.....	326
9.2.4.1 Minimalkonfig. eines Mikrocomputers mit drei Bausteinen.....	326
9.2.4.2 Der Experimentiercomputer ECB 85.....	328
9.3 Aufbau und Einsatz von Mikrocontrollern.....	330
9.3.1 Hardware des Mikrocontrollers 8051.....	330
9.3.2 Zeitlicher Ablauf bei der Befehlsausführung.....	337
9.3.3 Die Software-Struktur des Mikrocontrollers 8051.....	340
9.3.3.1 Die Adressierungsarten des Mikrocontrollers 8051.....	340
9.3.3.2 Der Befehlssatz des Mikrocontrollers 8051.....	341
9.3.4 Mikrocontroller-Familie MCS51.....	344
9.3.5 8-Bit-Mikrocontroller mit internem Analog-Digital-Umsetzer (SAB80515).....	345
9.3.6 Microcontroller-Applikationen.....	346
10 Übungsaufgaben mit Lösungen.....	351
10.1 Minimieren logischer Gleichungen.....	352
10.2 Minimieren logischer Gleichungen.....	353
10.3 Minimieren logischer Gleichungen.....	355
10.4 Minimieren logischer Gleichungen.....	358
10.5 Entwurf eines 2-Bit-Vergleichers.....	360
10.6 Schaltnetz zur Wasserstandsregelung.....	362
10.7 Widerstandsdimensionierung für Gatter mit offenem Kollektor.....	364
10.8 Ansteuerung von Leuchtdioden.....	366
10.9 Ansteuerung einer 7-Segment-Anzeige.....	369
10.10 Darstellung von Hexadezimalziffern auf einer 7-Segment-Anzeige.....	370
10.11 Zustands- und flankengesteuertes D-Flipflop.....	372
10.12 Analyse eines Schaltwerks mit D-Flipflops.....	373
10.13 Entwurf eines JK- und eines T-Flipflops mit Hilfe eines D-Flipflops.....	375
10.14 Steuerung einer Ampelanlage.....	375
10.15 Gray-Code-Zähler.....	378
10.16 Zählerentwurf unter Einsatz eines programmierbaren Zählers.....	379
10.17 Synchroner Modulo-5-Zähler.....	381
10.18 Entwurf eines synchronen Schaltwerks (Moore-Automat).....	384
10.19 Entwurf eines synchronen Schaltwerks (Mealy-Automat).....	389
10.20 Entwurf eines synchronen Schaltwerks mit Registerausgabe.....	393
10.21 Entwurf eines synchronen Schaltwerks mit Festwertspeicher.....	396
10.22 Synchrones Schaltwerk mit Multiplexer und Festwertspeicher.....	401
10.23 Entwurf eines Speichersystems mit 8-Bit-Wortbreite.....	409
10.24 Speichersystem mit 16-Bit-Datenbus.....	412
10.25 Entwurf eines Schaltnetzes mit einem Festwertspeicher.....	414
10.26 Entwurf einer Testschaltung.....	416
10.27 Mikrocontrollersystem mit externer Speichererweiterung.....	418
10.28 Tastendecodierung mit dem Mikrocontroller 8051.....	419

11 Anhang	425
11.1 Schaltsymbole in der Digitaltechnik	425
11.1.1 Funktionsblöcke	425
11.1.2 Beschreibungsfelder	428
11.1.3 Abhängigkeitsnotation	429
11.1.3.1 UND-Abhängigkeit (G)	430
11.1.3.2 ODER-Abhängigkeit (V)	431
11.1.3.3 Negations-Abhängigkeit (N)	431
11.1.3.4 Verbindungs-Abhängigkeit (Z)	432
11.1.3.5 Setz- und Rücksetz-Abhängigkeit (S, R)	432
11.1.3.6 Steuer-Abhängigkeit (C)	433
11.1.3.7 Freigabe-Abhängigkeit (EN)	433
11.1.3.8 Mode-Abhängigkeit (M)	434
11.1.3.9 Adressen-Abhängigkeit (A)	434
11.2 Befehlsliste des Mikroprozessors 8080/8085	435
11.3 Befehlsliste des Mikrocontrollers 8051	438
 12 Literatur	 441
 13 Sachverzeichnis	 445