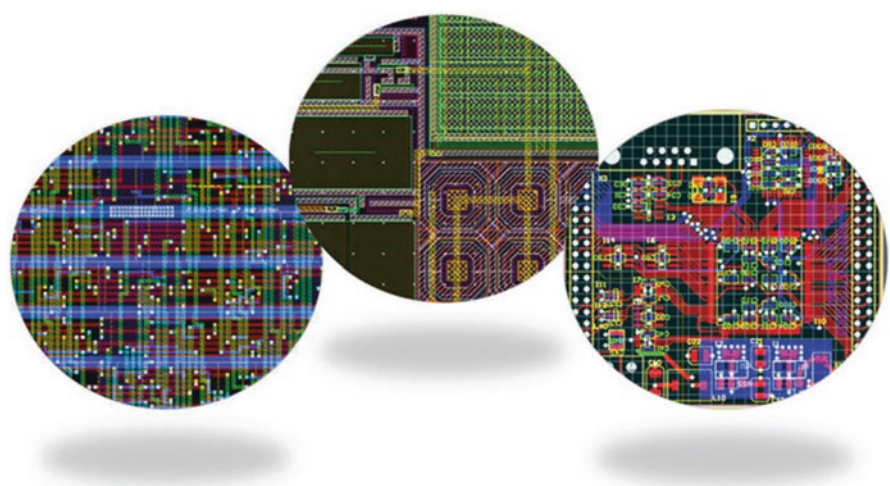


# Grundlagen des Layoutentwurfs elektronischer Schaltungen



Jens Lienig • Jürgen Scheible

# Grundlagen des Layoutentwurfs elektronischer Schaltungen



**Springer** Vieweg

Jens Lienig  
Technische Universität Dresden  
Dresden, Deutschland

Jürgen Scheible  
Hochschule Reutlingen  
Reutlingen, Deutschland

Dieses Buch ist eine Übersetzung des Originals in Englisch “Fundamentals of Layout Design for Electronic Circuits” von Lienig, Jens, und Scheible, Jürgen, publiziert durch Springer Nature Switzerland AG in 2020. Die Übersetzung geschah mit Hilfe von künstlicher Intelligenz (maschinelle Übersetzung durch den Dienst DeepL.com). Anschließend erfolgte eine gründliche Überarbeitung durch die Autoren, um einer herkömmlichen Übersetzung zu entsprechen. Springer Nature arbeitet kontinuierlich an der Weiterentwicklung von Werkzeugen für die Produktion von Büchern und an den damit verbundenen Technologien zur Unterstützung der Autoren.

ISBN 978-3-031-15767-7

ISBN 978-3-031-15768-4 (eBook)

<https://doi.org/10.1007/978-3-031-15768-4>

Die Deutsche Nationalbibliothek verzeichnet diese Publikation in der Deutschen Nationalbibliografie; detaillierte bibliografische Daten sind im Internet über <http://dnb.d-nb.de> abrufbar.

© Der/die Herausgeber bzw. der/die Autor(en), exklusiv lizenziert an Springer Nature Switzerland AG 2023  
Das Werk einschließlich aller seiner Teile ist urheberrechtlich geschützt. Jede Verwertung, die nicht ausdrücklich vom Urheberrechtsgesetz zugelassen ist, bedarf der vorherigen Zustimmung des Verlags. Das gilt insbesondere für Vervielfältigungen, Bearbeitungen, Übersetzungen, Mikroverfilmungen und die Einspeicherung und Verarbeitung in elektronischen Systemen.

Die Wiedergabe von allgemein beschreibenden Bezeichnungen, Marken, Unternehmensnamen etc. in diesem Werk bedeutet nicht, dass diese frei durch jedermann benutzt werden dürfen. Die Berechtigung zur Benutzung unterliegt, auch ohne gesonderten Hinweis hierzu, den Regeln des Markenrechts. Die Rechte des jeweiligen Zeicheninhabers sind zu beachten.

Der Verlag, die Autoren und die Herausgeber gehen davon aus, dass die Angaben und Informationen in diesem Werk zum Zeitpunkt der Veröffentlichung vollständig und korrekt sind. Weder der Verlag noch die Autoren oder die Herausgeber übernehmen, ausdrücklich oder implizit, Gewähr für den Inhalt des Werkes, etwaige Fehler oder Äußerungen. Der Verlag bleibt im Hinblick auf geografische Zuordnungen und Gebietsbezeichnungen in veröffentlichten Karten und Institutionsadressen neutral.

Planung/Lektorat: Axel Garbers

Springer Vieweg ist ein Imprint der eingetragenen Gesellschaft Springer Nature Switzerland AG und ist ein Teil von Springer Nature.

Die Anschrift der Gesellschaft ist: Gewerbestrasse 11, 6330 Cham, Switzerland

# Vorwort

Wer sollte dieses Buch lesen? Es ist zunächst sicherlich für alle interessant, die etwas über die Herstellung von integrierten Schaltungen und Leiterplatten wissen wollen. Die ersten Kapitel erklären, wie aus Sand ein hochintegrierter Chip entsteht, wobei das Buch aber nicht alle Facetten moderner Fertigungstechnologien erörtern will. Vielmehr werden die Grundlagen erklärt, die jeder Chipdesigner wissen sollte. Dies ist die eigentliche Zielgruppe. Dieses Buch sollten alle lesen, die den physikalischen Entwurf (das sogenannte „Backend Design“) einer elektronischen Schaltung lernen wollen, also wie man von einer Schaltung zu den Fertigungsdaten für einen IC oder ein PCB kommt. Für das „Frontend Design“, also wie man elektrische Schaltungen entwirft und simuliert, gibt es andere Literatur. Das Buch richtet sich an Studenten und Ingenieure und behandelt sowohl analoge als auch digitale Schaltungen.

Eine Weisheit unter den Chipdesignern lautet, dass jeder Chip analog ist. Obwohl die Öffentlichkeit sich für die großen digitalen Chips wie CPUs, GPUs oder riesige AI-Beschleuniger begeistern kann, ist es der Analog-Designer, der die Standardzellen, IO-Zellen, PLL, PHY-Schnittstellen entwirft. Auch das Chipfinishing und die physikalische Verifikation ist häufig ein Job für den Analog-Designer, der jede Schicht im Layout eines Chips untersuchen und verstehen muss. Dieses Buch bereitet einen darauf vor. Es liefert auch das Verständnis, warum manche Entwurfsregel so ist, wie sie ist, und welche physikalische oder chemische Eigenschaft hinter einer Regel steckt.

Dieses Buch ist wertvoll und einzigartig, weil es sehr viel praxisnahes Wissen vermittelt. Manche der Themen waren bislang über Dutzende Konferenzbeiträge und Journal-Artikel verstreut oder der Geheimhaltung der Hersteller unterworfen. Die Autoren schaffen es, diese Themen (z. B. den Layout-Postprozess), ohne zu sehr ins Detail zu gehen, so zu beschreiben, dass sie für alle modernen Herstellungstechnologien relevant sein dürften.

Ich habe als Application Engineer bei Cadence Design Systems, einem führenden EDA-Tool-Hersteller, im Jahr 2004 als frischgebackener Uni-Absolvent angefangen. Dieses Buch wäre sicherlich geeignet gewesen, mir den damaligen Einstieg zu ebnen und hätte mir manche Überstunde erspart, in der ich mir das Wissen durch

Ausprobieren und seitenweises Lesen von Herstellerdokumentation über die Prozesse aneignete. Diese deutschsprachige Version des Buches „Fundamentals of Layout Design for Electronic Circuits“ ermöglicht den Studenten im deutschsprachigen Raum nun einen einfacheren Einstieg in das komplexe Thema des Layoutentwurfs von Chips und PCBs.

Im Jahr 2015 übernahm ich die Leitung des Cadence Academic Network (CAN), einem Netzwerk aus Akademikern und Vertretern von Forschungsinstituten, die Cadence Produkte für Forschung und Bildung einsetzen. Im Zuge dieser Tätigkeit habe ich die Autoren des Buches, Herrn Prof. Scheible und Herrn Prof. Lienig, beides renommierte Hochschullehrer im Bereich EDA mit umfangreicher Industrieerfahrung, kennengelernt. Prof. Lienig ist Spezialist für den digitalen Layoutentwurf, zu dem er bereits mehrere Bücher veröffentlicht hat. Prof. Scheible ist aktives Mitglied des CAN und fungiert dort als „Lead Institution“ für analoges Layout. Das bedeutet, seine Hochschule gilt im CAN als Leuchtturm für dieses Thema und immer, wenn ich im Netzwerk nach Unterstützung in diesem Bereich gefragt werde, verweise ich auf Prof. Scheible. Das vorliegende Buch konnte von niemand anderem geschrieben werden als von diesen beiden Autoren, ganz im Sinne der Idee einer Lead Institution, die den anderen den Weg zum Wissen ausleuchtet.

Program Director  
Cadence Design Systems GmbH  
Feldkirchen, Deutschland  
Frühjahr 2023

Anton Klotz

# Vorwort zur englischsprachigen Ausgabe

The advances in technology and the continuation of Moore's law mean that we can now make transistors that are smaller than human cells. We can also integrate trillions of these transistors in a single chip and expect that all these transistors turn on and off a few billion times a second synchronously. This engineering feat has been made possible by the ingenuity of computer scientists and mathematicians, who design the algorithms to enhance the performance of the computers, and the inventiveness of engineers who are able to build these complex and intricate systems. Generating the schematic network of a trillion-transistor circuit inside a CAD program is enormously difficult – getting it laid out during physical design so that the circuit works in real silicon flawlessly is, however, the real challenge we face today.

I have been teaching courses on physical design for almost two decades to computer science and electrical engineering students. I have always had to carefully walk the tight rope that separates the teaching of theory from practice. One of the most difficult parts has been finding a textbook that gives a balanced view between theory and actual design. On one hand, the current and future engineers need to know the design algorithms and how to deal with the ever-increasing number of transistors. On the other hand, they need to know how to fabricate ICs and what are the constraints that exist because of the ever-reducing transistor sizes. And here this book comes in: It covers the theoretical concepts and the technical know-how in a practical and application-oriented manner for every layout engineer. It starts with silicon material and IC fabrication and how the silicon material can be manipulated to make microelectronic devices and operate the circuit. Then, the book comes back to changes that happen in the silicon as a result of circuit operation. All of these topics are covered in a practical manner with lots of demonstrations to cement the concepts.

This book is able to connect the theoretical world of design automation to the practical world of the electronic-circuit layout generation. The text focuses on the physical/layout design of integrated circuits (ICs), but also covers printed circuit boards (PCBs) where needed. It takes the reader through a journey starting with how we transform silicon into reliable devices, discusses how we are able to perform such engineering feats, and the important practical considerations during this

process. Then, the book bridges to how these vast and complicated physical structures can be best represented as data and how to turn this data back into a physical structure. It continues with the discussion of the models, styles and steps for physical design to give a big picture of how these designs are made, before going into special hands-on requirements for layout design of analog ICs. Finally, it ends by discussing practical considerations that could extend the reliability of the circuits, giving the designers and engineers a 360-degree point of view of the physical design process.

I have known Jens Lienig through his work and books for many years. In his books, he first captures the reader's attention by giving a big picture, with examples and analogies, that provides the reader with an intuitive understanding of the topics to come. Only then does he go into the details, providing the depth of knowledge needed to design high performing systems. Through this combination, his readers are able to understand the material, remember the details, and use them to create new ideas and concepts. This, along with his genuine care for his readers, vast knowledge of the field and practical experience, makes Professor Lienig the ideal person to write such a book – and he has found the perfect match: Jürgen Scheible, who has a wealth of theoretical and practical experience in designing commercial circuits. His extensive experiences as the Head of the IC Layout Department for Bosch means that he has been responsible for layout design of not only a whole slew of designs including smart power chips, sensing circuits and RF designs, but also creating new design flows to adapt to ever-changing technologies. When it comes to design, Professor Scheible knows all the tricks that come from years of industrial experience – the multitude of rules and constraints one must consider when drawing a layout in a given technological framework. The combined experience and knowledge of these two authors have made a great tapestry of theory, practice, and hence, the resulting book is a must-read for every layout engineer.

I am delighted to write this foreword not only because I have the highest regard for both authors, but also because I cannot wait to use the book for teaching physical design. The combined expertise of the authors and the attention they have paid to theory and practice, big picture and detail, illustrative examples and written text, make this book the perfect go-to resource for students and engineers alike.

Department of Electrical and Computer Engineering  
University of Calgary  
Calgary, Canada

Prof. Laleh Behjat



# Vorwort der Autoren

Als ein Ingenieur in einem Londoner Telefonamt es leid war, täglich Hunderte von Kabeln zwischen ihren Anschlussstellen zu entwirren, meldete er 1903 ein Patent mit dem Titel „Improvements in or Connected with Electric Cables and the Jointing of the same“ (Verbesserungen an oder in Verbindung mit elektrischen Kabeln und deren Verbindung) an – wahrscheinlich ohne die weitreichenden Folgen seiner „flachen, auf eine Isolierplatte laminierten Folienleiter“ vorauszusehen. Damit war die *gedruckte Leiterplatte* geboren, die zu einem technischen Erfolg wurde. Die ersten Leiterplatten erforderten außerordentliche Fertigkeiten bei der Herstellung – die elektronischen Bauteile wurden mittels Federn befestigt und durch Nieten auf einem Pertinax-Substrat elektrisch verbunden. Im Jahr 1936 führte man kupferkaschiertes Basismaterial ein, welches den Weg zu zuverlässigen, massenproduzierten Leiterplatten ebnete. Diese ermöglichten die Herstellung erschwinglicher elektronischer Geräte, wie z. B. Radios, die seither in keinem Haushalt mehr fehlen.

Mit der Erfindung von Miniatur-Vakuumröhren im Jahr 1942 begann dann die erste Generation der modernen Elektronik. Das erste große Rechengerät, der „Electronic Numerical Integrator and Computer“ (ENIAC), enthielt beeindruckende 20.000 Vakuumröhren.

Im Jahr 1948 gab die Erfindung des Transistors den Startschuss für die zweite Generation der Elektronik. Transistoren erwiesen sich als kleiner und viel zuverlässiger als ihre Vorgänger, die Vakuumröhren, und ermöglichten wirklich tragbare elektronische Geräte, wie z. B. kleine Transistorradios.

In den 1960er-Jahren begann mit der Entwicklung *integrierter Schaltungen (ICs)* die dritte Generation der Elektronik. Zusammen mit Halbleiterspeichern ermöglichten sie immer komplexere und miniaturisierte Systemdesigns. Im Jahr 1971 wurde der erste Mikroprozessor vorgestellt, und kurz darauf folgten zahlreiche technische Durchbrüche, deren Folgen bis heute wirksam sind. 1973 entwickelte Motorola den ersten Prototypen eines Mobiltelefons, 1976 stellte Apple Computer den *Apple I* vor und 1981 brachte IBM den *IBM PC* auf den Markt. Diese Entwicklungen ebneten den Weg für die *iPhones* und *iPads*, welche beim Übergang in das 21. Jahrhundert allgegenwärtig wurden, gefolgt von intelligenter, cloudbasierter Elektronik, die

unser Leben heute ergänzt, erleichtert und verbessert. Heutzutage enthält selbst ein einfaches Smartphone mehr Transistoren als es Sterne in der Milchstraße gibt!

Dieser spektakuläre Erfolg der Ingenieurskunst beruht auf einem entscheidenden Schritt: der Umwandlung einer abstrakten, aber immer komplexer werdenden Schaltungsbeschreibung in ein zugehöriges geometrisches Layout, welches sich anschließend fehlerfrei produzieren lässt. Dieser Schritt, der in der Fachwelt als *Layoutentwurf* bezeichnet wird, ist die letzte Stufe im Entwurf einer jeden elektronischen Schaltung. Hier sind alle für die Herstellung von Leiterplatten oder ICs notwendigen Informationen zu erzeugen. Dabei werden alle Komponenten der abstrakten Schaltungsbeschreibung, die aus den Bauteilsymbolen und deren Verbindungen besteht, in Formate übersetzt, die geometrische Objekte beschreiben. Das sind bei Leiterplatten z. B. Footprints und Bohrlöcher oder bei ICs die Layoutmuster der Masken, die aus Milliarden rechteckiger Formen bestehen. Diese Entwürfe werden dann z. B. bei der Herstellung eines ICs verwendet, um die reale elektronische Struktur auf der Oberfläche des Siliziumchips entstehen zu lassen. Wenn dann Elektronen durch das System dieses ICs geschickt werden, muss es genau die gleichen Funktionen ausführen, die in der ursprünglichen Schaltungsbeschreibung vorgesehen waren. Ohne diesen Schritt des Layoutentwurfs gäbe es nicht einmal die einfachsten Radios, geschweige denn Laptops, Smartphones oder die unzähligen elektronischen Geräte, die wir heute als selbstverständlich ansehen.

Der Layoutentwurf war früher ein recht einfacher Prozess. Ausgehend von der Netzliste, welche die logischen Schaltungskomponenten und deren Verbindungen beschreibt, der Technologiedatei und der Bauelemente-Bibliothek, legte der Schaltungsentwickler mithilfe eines Floorplans fest, wo die verschiedenen Schaltungsteile platziert werden sollten. Etwaige Schaltungs- und Timing-Probleme wurden unmittelbar durch eine iterative Verbesserung des Layouts gelöst.

Die Zeiten haben sich geändert: Würde man heute die Leitungen in einem der ICs, wie sie in einem Smartphone zu finden sind, mit den Abmessungen einer normalen Straße auslegen, würde sich die Fläche des resultierenden Chips über einen gesamten Kontinent erstrecken! Die heutigen Schaltkreise mit mehreren Milliarden Transistoren, aber auch hochkomplexe Leiterplatten, erfordern daher einen weitaus strukturierteren Ablauf beim Layoutentwurf. Schaltungsbeschreibungen werden zunächst *partitioniert*, um die Komplexität zu reduzieren und einen parallelen Entwurf zu ermöglichen. Sobald man während des nachfolgenden *Floorplannings* die Form, die Position und die Schnittstellen der Partitionen festgelegt hat, lassen sich diese (oft immer noch komplexen) Blöcke unabhängig voneinander bearbeiten. Die *Platzierung* der Zellen und Bauelemente ist hier der erste Schritt, gefolgt von der *Verdrahtung* ihrer Netze. Die *Layoutverifikation* prüft und überwacht das Einhalten von zeitlichen und geometrischen Randbedingungen, bevor im *Layout-Postprozess* mehrere Maßnahmen zur Anwendung kommen, um die Herstellbarkeit des IC- oder Leiterplatten-Layouts zu gewährleisten.

Der Bereich des Layoutentwurfs ist weit über den Punkt hinausgewachsen, an dem eine einzelne Person alles bewältigen kann. Die bei der Layouterstellung zu berücksichtigenden Randbedingungen sind extrem komplex geworden. Es steht viel auf dem Spiel: Eine einzige verpasste Zuverlässigkeitsprüfung kann einen mehrere

Millionen Euro teuren Entwurf unbrauchbar machen. Die Kosten von Produktionsanlagen zur Herstellung eines einzigen Technologieknotens übersteigen heutzutage eine Milliarde Dollar – mit weiter steigender Tendenz. In Forschungsveröffentlichungen werden Lösungen für eine Vielzahl dieser Probleme beschrieben, doch die schiere Menge macht es den Ingenieuren unmöglich, mit den neuesten Entwicklungen Schritt zu halten.

Angesichts dieser Lage besteht die dringende Notwendigkeit, den Fokus nicht nur auf diese rasanten Entwicklungen zu lenken, sondern sich auch stets mit den *Grundlagen* dieser extrem umfangreichen und komplexen Entwurfsphase zu befassen. Fach- und Hochschulen müssen genau diese Grundlagen der heutigen komplizierten Layoutschritte verständlich vermitteln – das „Warum“ und „Wie“, nicht nur das „Was“. Sowohl Ingenieure als auch Fachleute sollten ihr Wissen auffrischen und ihren Horizont erweitern, denn schließlich konkurrieren immer neue Technologien um deren Anwendung. Da das Mooresche Gesetz und damit die kontinuierliche Verkleinerung durch heterogene Technologien ersetzt wird, kommen neue Entwurfsmethoden ins Spiel. Um diese Herausforderungen erfolgreich zu meistern, ist ein fundiertes Wissen über die grundlegenden Methoden, Randbedingungen, Schnittstellen und Entwurfsschritte des Layoutentwurfs erforderlich. Und genau an dieser Stelle setzt dieses Buch an.

Nach einer gründlichen Einführung in den allgemeinen Elektronik-Entwurf in Kap. 1 wird in Kap. 2 das grundlegende technologische Wissen vermittelt, das zu den vielfältigen Randbedingungen führt, die den Layoutentwurf heute zu einem so komplizierten Prozess machen. Kap. 3 betrachtet das Erstellen eines Layouts „von außen“ – welche Schnittstellen gibt es, warum brauchen wir Entwurfsregeln und externe Bibliotheken, wie sind diese aufgebaut? In Kap. 4 wird der Layoutentwurf als ein vollständiger End-to-End-Prozess mit seinen verschiedenen Methoden und Modellen vorgestellt. Kap. 5 befasst sich dann mit den einzelnen Schritten, die zur Erstellung eines Layouts gehören, einschließlich der vielfältigen Verifikationsmethoden. Kap. 6 führt den Leser in die besonderen Layouttechniken ein, die für den Analogentwurf erforderlich sind, bevor in Kap. 7 das immer wichtiger werdende Thema der Verbesserung der Zuverlässigkeit der erzeugten Layouts behandelt wird.

Dieses Buch ist das Ergebnis langjähriger Lehrtätigkeit auf dem Gebiet des Layoutentwurfs, kombiniert mit Industrieerfahrung, welche die beiden Autoren vor ihrem Eintritt in die akademische Welt gesammelt haben. Die Kap. 1 bis 7 sind gut für die Lehre in einer zweisemestrigen Vorlesung über den rechnergestützten Layoutentwurf aufbereitet. Für den Einsatz in einer einsemestrigen Lehrveranstaltung können Kap. 1 (Einführung) und Kap. 2 (Technologie) zum Selbststudium zugewiesen werden, wobei die Lehre mit Kap. 3 (Schnittstellen) beginnt, gefolgt von Entwurfsmethoden (Kap. 4) und Entwurfsschritten (Kap. 5). Alternativ kann auch Kap. 4 als effektiver Startpunkt verwendet werden, gefolgt von den detaillierten Entwurfsschritten in Kap. 5, zwischenzeitlich ergänzt mit Material aus den jeweiligen in Kap. 3 vorgestellten Schnittstellen, Entwurfsregeln und Bibliotheken. Alle Abbildungen des Buches stehen unter [https://www.ifte.de/books/pd\\_dt/](https://www.ifte.de/books/pd_dt/) zum Download bereit.

Das vorliegende Werk ist eine überarbeitete Übersetzung der englischen Buchausgabe „Fundamentals of Layout Design for Electronic Circuits“. Damit möchten die Autoren den deutschsprachigen Lesern die Inhalte der vielbeachteten Originalausgabe leichter zugänglich machen.

Ein Buch solchen Umfangs und Tiefe erfordert die Unterstützung Vieler. Die Autoren möchten allen, die an der Erstellung dieser oder der englischen Ausgabe mitgewirkt haben, ihren herzlichen Dank aussprechen. Wir danken insbesondere Dr. Andreas Krinke, Kerstin Langner, Dr. Daniel Marolt, Dr. Frank Reifegerste, Susann Rothe, Matthias Schweikardt, Dr. Matthias Thiele, Yannick Uhlmann und Tobias Wolfer für ihre zahlreichen Beiträge. Ein herzliches Dankeschön geht auch an den Springer-Verlag, und hier insbesondere Herrn Dr. Axel Garbers, der uns bei dieser deutschen Ausgabe sehr unterstützt hat.

Die rasante Entwicklung bei der Layoutgestaltung moderner elektronischer Verdrahtungsträger wird sich in den kommenden Jahren fortsetzen, vielleicht auch durch einige der Leser dieses Buches. Die Autoren sind für Kommentare und Anregungen zur Weiterentwicklung des Themas jederzeit dankbar.

Dresden, Deutschland  
Reutlingen, Deutschland

Jens Lienig  
Jürgen Scheible

# Inhaltsverzeichnis

<b>1</b>	<b>Einführung</b>	<b>1</b>
1.1	Technologien der Elektronik-Fertigung	2
1.1.1	Leiterplattentechnologie	3
1.1.2	Hybridtechnologie	6
1.1.3	Halbleitertechnologie	8
1.2	Integrierte Schaltungen	15
1.2.1	Bedeutung und Merkmale	15
1.2.2	Analoge, digitale und Mixed-Signal-Schaltungen	16
1.2.3	Moore'sches Gesetz und Entwurfsscheren	20
1.3	Layoutentwurf	25
1.3.1	Entwurfsablauf einer elektronischen Schaltung	25
1.3.2	Layoutentwurf von integrierten Schaltungen	28
1.3.3	Layoutentwurf von Leiterplatten	31
1.4	Motivation und Aufbau dieses Buches	33
	Literatur	35
<b>2</b>	<b>Halbleitertechnologie: Vom Silizium zum integrierten Schaltkreis</b>	<b>37</b>
2.1	Grundprinzip der IC-Fertigung	37
2.2	Grundmaterial Silizium	39
2.3	Fotolithografie	41
2.3.1	Grundprinzip	41
2.3.2	Fotolack	42
2.3.3	Fotomasken und Belichtung	42
2.3.4	Justage und Justiermarken	45
2.3.5	Betrachtungen hinsichtlich Layoutentwurf	46
2.4	Abbildungsfehler	47
2.4.1	Overlay-Fehler	47
2.4.2	Kantenverschiebungen	49
2.4.3	Beugungseffekte	50
2.4.4	Betrachtungen hinsichtlich Layoutentwurf	52

2.5	Auftragen und Strukturieren von Oxidschichten . . . . .	53
2.5.1	Thermische Oxidation . . . . .	54
2.5.2	Oxidation durch Abscheidung . . . . .	55
2.5.3	Strukturierung von Oxidschichten durch Ätzen . . . . .	55
2.5.4	Lokale Oxidation . . . . .	58
2.5.5	Betrachtungen hinsichtlich Layoutentwurf . . . . .	59
2.6	Dotierung . . . . .	60
2.6.1	Grundprinzip . . . . .	60
2.6.2	Diffusion . . . . .	61
2.6.3	Ionenimplantation . . . . .	62
2.6.4	Betrachtungen hinsichtlich Layoutentwurf . . . . .	65
2.7	Aufwachsen und Strukturieren von Siliziumschichten . . . . .	67
2.7.1	Homoeptaxie . . . . .	68
2.7.2	Heteroeptaxie und Polysilizium . . . . .	71
2.7.3	Betrachtungen hinsichtlich Layoutentwurf . . . . .	72
2.8	Metallisierung . . . . .	73
2.8.1	Grundprinzip . . . . .	73
2.8.2	Metallisierungsstrukturen ohne Planarisierung . . . . .	76
2.8.3	Metallisierungsstrukturen mit Planarisierung . . . . .	78
2.8.4	Betrachtungen hinsichtlich Layoutentwurf . . . . .	82
2.9	Funktionsprinzip des Feldeffekttransistors . . . . .	85
2.10	CMOS-Standardprozess . . . . .	88
2.10.1	Prozess-Optionen . . . . .	89
2.10.2	FEOL: Bauelemente herstellen . . . . .	90
2.10.3	BEOL: Bauelemente elektrisch verbinden . . . . .	95
	Literatur . . . . .	95
<b>3</b>	<b>Brücken zur Technologie: Schnittstellen, Entwurfsregeln und Bibliotheken . . . . .</b>	<b>97</b>
3.1	Schaltungsdaten: Schaltpläne und Netzlisten . . . . .	98
3.1.1	Strukturbeschreibung einer Schaltung . . . . .	98
3.1.2	Idealisierungen in einer Schaltungsstrukturbeschreibung . . . . .	101
3.1.3	Darstellungsformen einer Schaltungsstruktur: Netzliste und Schaltplan . . . . .	102
3.2	Layoutdaten: Layer und Polygone . . . . .	106
3.2.1	Struktur der Layoutdaten . . . . .	106
3.2.2	Lesen eines Layouts . . . . .	110
3.2.3	Grafik-Operationen . . . . .	113
3.3	Maskendaten: Layout-Postprozess . . . . .	118
3.3.1	Übersicht . . . . .	118
3.3.2	Chip Finishing . . . . .	119
3.3.3	Retikel-Layout . . . . .	122
3.3.4	Layout-to-Mask Preparation . . . . .	123

3.4	Geometrische Entwurfsregeln . . . . .	128
3.4.1	Technologische Randbedingungen . . . . .	128
3.4.2	Elementare geometrische Entwurfsregeln . . . . .	129
3.4.3	Programmierte geometrische Entwurfsregeln . . . . .	134
3.4.4	Montageregeln . . . . .	136
3.5	Bibliotheken . . . . .	138
3.5.1	Process Design Kits und Bauelementbibliotheken . . . . .	139
3.5.2	Zellbibliotheken . . . . .	141
3.5.3	Bibliotheken für den Leiterplattenentwurf . . . . .	143
	Literatur . . . . .	145
<b>4</b>	<b>Layoutentwurf im Überblick: Modelle, Stile, Aufgaben und Abläufe . . . . .</b>	<b>147</b>
4.1	Entwurfsablauf . . . . .	147
4.2	Entwurfsmodelle . . . . .	155
4.2.1	Dreidimensionaler Entwurfsraum . . . . .	155
4.2.2	Das Gajski-Kuhn-Y-Diagramm . . . . .	158
4.3	Entwurfstile . . . . .	161
4.3.1	Kundenspezifischer und standardisierter Entwurfstil . . . . .	161
4.3.2	Top-down-, Bottom-up- und Meet-in-the-middle-Entwurfstile . . . . .	167
4.4	Entwurfsaufgaben und -werkzeuge . . . . .	168
4.4.1	Erzeugen: Synthese . . . . .	169
4.4.2	Prüfen: Analyse . . . . .	170
4.4.3	Beseitigung von Mängeln: Optimierung . . . . .	170
4.5	Optimierungsziele und Randbedingungen beim Layoutentwurf . . . . .	171
4.5.1	Optimierungsziele . . . . .	171
4.5.2	Randbedingungen . . . . .	172
4.5.3	Optimierung beim Layoutentwurf . . . . .	173
4.6	Analoge und digitale Entwurfsabläufe . . . . .	174
4.6.1	Die unterschiedlichen Welten des analogen und digitalen Entwurfs . . . . .	174
4.6.2	Analoger Entwurfsablauf . . . . .	180
4.6.3	Digitaler Entwurfsablauf . . . . .	181
4.6.4	Mixed-Signal-Entwurfsablauf . . . . .	183
4.7	Visionen für die analoge Entwurfsautomatisierung . . . . .	185
4.7.1	„Kontinuierlicher“ Layoutentwurf . . . . .	185
4.7.2	„Bottom-up-meets-top-down“-Layoutentwurf . . . . .	188
	Literatur . . . . .	190
<b>5</b>	<b>Layoutentwurf in Schritten: Von der Netzliste bis zum Layout-Postprozess . . . . .</b>	<b>193</b>
5.1	Generierung einer Netzliste mit Hardware-Beschreibungssprachen . . . . .	194
5.1.1	Überblick und Geschichte . . . . .	194
5.1.2	Elemente und Beispiel . . . . .	195
5.1.3	Entwurfsablauf . . . . .	196

5.2	Generierung einer Netzliste mittels Schaltplan . . . . .	198
5.2.1	Übersicht . . . . .	198
5.2.2	Elemente und Beispiele . . . . .	199
5.2.3	Netzlistenerstellung . . . . .	202
5.3	Die wichtigsten Schritte beim Layoutentwurf . . . . .	203
5.3.1	Partitionierung und Floorplanning . . . . .	205
5.3.2	Platzierung . . . . .	210
5.3.3	Verdrahtung . . . . .	213
5.3.4	Layoutentwurf mittels symbolischer Kompaktierung . . . . .	217
5.3.5	Layoutentwurf mit Standardzellen . . . . .	218
5.3.6	Layoutentwurf von Leiterplatten . . . . .	220
5.4	Verifikation . . . . .	225
5.4.1	Grundlagen . . . . .	227
5.4.2	Formale Verifikation . . . . .	229
5.4.3	Funktionale Verifikation: Simulation . . . . .	231
5.4.4	Timing-Verifikation . . . . .	233
5.4.5	Geometrische Verifikation: DRC, ERC . . . . .	235
5.4.6	Extraktion und LVS . . . . .	238
5.5	Layout-Postprozess . . . . .	241
	Literatur . . . . .	244
<b>6</b>	<b>Besonderheiten des Layoutentwurfs analoger integrierter Schaltungen . . . . .</b>	<b>247</b>
6.1	Schichtwiderstand: Rechnen mit Squares . . . . .	248
6.2	Wannen . . . . .	250
6.2.1	Realisierungsformen . . . . .	251
6.2.2	Spannungsfestigkeit . . . . .	253
6.2.3	Spannungsabhängige Abstandsregeln . . . . .	255
6.3	Bauelemente: Aufbau, Anschluss und Dimensionierung . . . . .	256
6.3.1	Feldeffekttransistoren (MOS-FETs) . . . . .	256
6.3.2	Widerstände . . . . .	261
6.3.3	Kondensatoren . . . . .	264
6.3.4	Bipolare Transistoren . . . . .	266
6.4	Bauelementengeneratoren: Von Parametern zu Layouts . . . . .	270
6.4.1	Einführende Übersicht . . . . .	270
6.4.2	Beispiel . . . . .	271
6.5	Die Bedeutung von Symmetrie . . . . .	273
6.5.1	Absolute und relative Genauigkeit – ein entscheidender Unterschied . . . . .	273
6.5.2	Symmetrie als schaltungstechnisches Grundprinzip . . . . .	275
6.6	Matching-Konzepte für den analogen Layoutentwurf . . . . .	277
6.6.1	Ursachen für Parameterabweichungen . . . . .	277
6.6.2	Matching-Konzepte für bauelementinterne Randeffekte . . . . .	279
6.6.3	Matching-Konzepte für unbekannte Gradienten . . . . .	287
6.6.4	Matching-Konzepte für bauelementexterne Randeffekte . . . . .	289



6.6.5	Matching-Konzepte für bekannte Gradienten . . . . .	291
6.6.6	Matching-Konzepte für orientierungsabhängige Effekte. . .	293
6.6.7	Matching-Konzepte im Überblick . . . . .	295
	Literatur. . . . .	296
<b>7</b>	<b>Layoutmaßnahmen zur Verbesserung der Zuverlässigkeit . . . . .</b>	<b>297</b>
7.1	Parasitäre Effekte im Silizium . . . . .	297
7.1.1	Modulation des Substratpotentials. . . . .	298
7.1.2	Injektion von Minoritätsträgern . . . . .	301
7.1.3	Latchup . . . . .	304
7.1.4	Durchbruchspannung (Sperrfähigkeit) von p-n-Übergängen . . . . .	307
7.2	Oberflächeneffekte. . . . .	307
7.2.1	Parasitäre Kanaleffekte . . . . .	308
7.2.2	Injektion heißer Ladungsträger . . . . .	311
7.3	Parasitäre Effekte in der Metallisierung. . . . .	313
7.3.1	Leitungsverluste. . . . .	313
7.3.2	Signalverzerrungen . . . . .	314
7.3.3	Übersprechen . . . . .	316
7.4	Schadensmechanismen durch Überspannungen . . . . .	317
7.4.1	Elektrostatische Entladung (ESD) . . . . .	317
7.4.2	Antenneneffekt. . . . .	329
7.5	Migrationseffekte in der Metallisierung . . . . .	334
7.5.1	Elektromigration . . . . .	334
7.5.2	Thermomigration . . . . .	336
7.5.3	Stressmigration . . . . .	337
7.5.4	Abschwächung der Elektromigration . . . . .	340
7.5.5	Abschwächung der Thermo- und Stressmigration. . . . .	344
	Literatur. . . . .	345
	<b>Stichwortverzeichnis. . . . .</b>	<b>349</b>