

Inhaltsverzeichnis

1 EINFÜHRUNG UND DEFINITIONEN	15
1.1 Bussystemübersicht	16
1.2 Die Zeichendarstellung	17
1.2.1 Binäre Zahlendarstellung und -Berechnung	18
1.2.2 Darstellung negativer Zahlen	21
1.3 Codes und Zeichensätze	22
1.3.1 Numerische Codes im Überblick	22
1.3.2 ASCII-Code	23
1.3.3 IBM- und ANSI-Zeichensatz	27
1.3.4 UNICODE	28
1.4 OSI-Schichtenmodell	30
1.5 Fehlerkontrollmechanismen	32
1.5.1 Paritätsprüfung	33
1.5.2 Cyclic Redundancy Check	34
1.6 Empfehlungen, Standards und Normungen	35
2 PARALLELE SCHNITTSTELLEN	39
2.1 Bauelemente für parallele Schnittstellen	40
2.2 Programmierbares Parallel-Interface	40
2.2.1 Festlegung der Betriebsart	43
2.2.2 Mode 0	44
2.2.3 Mode 1	45
2.2.4 Mode 2	49
2.2.5 PIO-Karte für den PC	51
2.3 PC-Parallelschnittstelle	54
2.3.1 Centronics-Schnittstelle	54
2.3.2 Elektrische Eigenschaften der Centronics-Schnittstelle	55
2.3.3 Technische Realisierung in PCs und Kommunikation	57

2.4 Der Standard IEEE-1284	61
2.4.1 Nibble Mode	62
2.4.2 Compatible Mode	64
2.4.3 Byte Mode	64
2.4.4 EPP Mode	65
2.4.5 ECP Mode	67
2.4.6 Bauelemente für IEEE-1284	70
2.5 Ein Interface für die Druckerschnittstelle	70
2.5.1 Interface-Programm	74
2.5.2 Anschluss von Peripherie	78
 3 IEC-BUS	 81
3.1 IEC-Bus-Grundlagen	82
3.1.1 Kabelverbindungen	82
3.1.2 Talker, Listener und Controller	83
3.2 IEC-Bus-Signale	84
3.2.1 Datenleitungen (Data Lines)	84
3.2.2 Übergabeleitungen (Handshake Lines)	85
3.2.3 Steuerleitungen (Management Lines)	86
3.3 Adressendarstellung	87
3.4 Das Nachrichtenkonzept	88
3.4.1 Universalbefehle (UCG, Universal Command Group)	89
3.4.2 Adressierte Befehle (ACG, Addressed Command Group)	89
3.4.3 Höreradressen (TAG, Talk Address Group)	90
3.4.4 Sprecheradressen (LAG, Listen Address Group)	91
3.4.5 Sekundärbefehle	91
3.5 IEC-Bus-Weiterentwicklungen	91
3.5.1 Standard IEEE488.2	92
3.5.2 HighSpeed-Bus-Protokolle	94
3.6 IEC-Bus-Controller	96
3.7 Standard IEC-Bus-Controller	99
3.7.1 Aufbau und Register des IEC-Bus-Controllers	100
3.8 IEC-Bus-Treiber	111
3.9 Eine IEC-Bus-Karte für PC	114
3.9.1 Schaltungs- und Funktionsbeschreibung	114
3.9.2 Software für die IEC-Bus-Karte	116

4 SCSI-BUS	119
4.1 Der 8-Bit-SCSI-Bus	119
4.1.1 SCSI-Standard-Busphasen	122
4.1.2 Aufbau eines SCSI-Bus-Controllers	124
4.2 SCSI-Realisierungen und -Standards	127
4.2.1 Wide SCSI	131
4.2.2 Differential-SCSI	134
4.2.3 Ultra 2 und Ultra 160	137
4.3 Kommandos und Software-Interfaces	141
 5 SERIELLE SCHNITTSTELLEN UND SERIELLE BUSSYSTEME	 147
5.1 Betriebsarten und Übertragungsparameter	147
5.1.1 Synchrone und asynchrone Datenübertragung	147
5.1.2 Paritätsprüfung	148
5.1.3 Übertragungsgeschwindigkeit	148
5.1.4 Schrittgeschwindigkeit	149
5.1.5 Zeichengeschwindigkeit	149
5.1.6 Serielle Betriebsarten	149
5.1.7 Serielle Schnittstellen im Überblick	150
5.1.8 Symmetrisch und asymmetrisch – Single Ended und Differential	151
5.2 RS232-Schnittstelle	151
5.2.1 Signale und Betriebsarten der RS232-Schnittstelle	153
5.2.2 Typische RS232-Verbindungen	155
5.3 Serielle Schnittstelle der Personal Computer	158
5.3.1 Standard-UARTs der Personal Computer	160
5.3.2 UART-Register im Detail	161
5.3.3 Ein serielles Kommunikationsprogramm	168
5.4 TTY-Schnittstelle	172
5.5 RS422-Schnittstelle	173
5.6 RS423-Schnittstelle	174
5.7 RS485-Schnittstelle	175

5.8 Bauelemente für serielle Schnittstellen	175
5.8.1 Serielle Controller	176
5.8.2 Treiberbausteine für RS232-Schnittstellen	177
5.8.3 TTL-Differential-Konverter	180
5.9 Infrarotschnittstellen – IrDA	181
5.10 Serielle Bussysteme	183
5.11 Inter Integrated Circuit Bus	184
5.11.1 I ² C-Bus-Konzept	185
5.11.2 I ² C-Bus-Datenübertragung	187
5.11.3 I ² C-Bus-Arbitration	188
5.11.4 Adressen und erweiterte Funktionen	189
5.11.5 I ² C-Bus-Bauelemente	190
5.12 Universal Serial Bus	191
5.12.1 Systemunterstützung	191
5.12.2 USB-Topologie	192
5.12.3 Datenübertragung	193
5.12.4 Anschlüsse und Kabel	195
5.12.5 Bauelemente für den USB	197
5.13 Der Standard IEEE-1394	200
5.13.1 Architektur und Topologie	200
5.13.2 Protokoll	202
5.13.3 Bauelemente für Firewire	204
5.14 Serial Storage Architecture und Fibre Channel	206
5.14.1 Serial Storage Architecture	207
5.14.2 Fibre Channel Arbitrated Loop	208
6 PC-BUSSYSTEME	213
6.1 PC-Bussysteme im Überblick	213
6.1.1 Microchannel und EISA-Bus	214
6.1.2 Local Bus-Systeme	215
6.1.3 PCI-X	217
6.1.4 Next Generation I/O und Future I/O	218
6.2 PC-Bus	219
6.2.1 Signale des PC-Bus	221
6.3 ISA-Bus	224
6.3.1 ISA-Interrupt- und DMA-Kanäle	224

6.3.1.1 Interrupts	224
6.3.1.2 Direct Memory Access	226
6.3.2 Speicher- und E/A-Transfers	227
6.3.3 Änderungen der PC-Bus-Signale	229
6.3.4 Signale der AT-Bus-Erweiterung	230
6.3.5 Aufbau eines ISA-PCs	232
6.3.6 Speicher- und Ein-Ausgabebereich	233
6.4 PCI-Bus	237
6.4.1 PCI-Implementierungen und Taktzusammenhänge	237
6.4.2 PCI-Bus-Grundlagen	238
6.4.3 PCI-Bus-Registerzugriff	244
6.4.4 Konfigurationsbereich – Configuration Space	246
6.4.4.1 Vendor- und Device-IDs	247
6.4.4.2 Command-Register	247
6.4.4.3 Status-Register	248
6.4.4.4 Class Codes	250
6.4.4.5 Weitere PCI-Bus-Register	257
6.4.5 PCI-Bus-Signale	258
6.5 ISA-Plug & Play	265
6.5.1 ISA Configuration Utility	267
6.5.2 ISA-Plug&Play-Mechanismus	267
6.5.3 Betriebszustände	270
6.5.4 Linear Feedback Shift Register	272
6.5.5 Isolation Protokoll	274
6.5.6 Plug&Play-Register im Detail	276
6.5.6.1 Card Control Register	277
6.5.6.2 Logical Device Control-Register	278
6.5.6.3 Logical Device Configuration (Resource Data)	278
6.6 Accelerated Graphics Port – AGP	280
6.6.1 AGP-Einstellungen und Betriebssystemunterstützung	282
6.6.2 AGP-Signale	283
6.6.3 AGP-Pro	290
6.7 PCMCIA und Card-Bus	291
6.7.1 Card Bus	295
6.7.2 Softwareunterstützung	299
7 PC-EIGENE INTERFACES	301
7.1 PC-Tastatur	301
7.2 Mausanschluss	303

7.3 Gameport und MID-Interface	304
7.3.1 Aufbau eines MID-Interfaces	306
7.4 Disketten-Laufwerksinterface	308
7.4.1 Signale der Diskettenlaufwerke	309
7.5 Integrated Disc Electronic – IDE	313
7.5.1 Signale der IDE-Schnittstelle	317
7.6 Enhanced IDE – EIDE	321
7.6.1 Ultra-DMA	323
7.7 Schnittstellen der Grafikkarten	325
7.7.1 Monochrom-Karte	325
7.7.2 CGA-Karte	326
7.7.3 Hercules-Karte	328
7.7.4 EGA-Karte	329
7.7.5 VGA-Karte	331
7.7.6 VESA Feature Connector	334
7.7.7 Display Data Channel und Access-Bus	336
7.7.8 Digitale Interfaces – Digital Flat Panel Port	337
7.8 Riser-Steckplätze	338
7.8.1 Audio Modem Riser	339
7.8.2 Communication and Networking Riser	343
7.8.3 Advanced Communication Riser	349
 8 PRAKTISCHE BUS-INTERFACETECHNIK	 351
8.1 Werkzeuge und Hilfsmittel	351
8.2 PC-Interfacetechnik	356
8.2.1 Adressendekodierung	357
8.2.2 Datentreiber	357
8.2.3 Schreib-Lese-Leitungen	358
8.2.4 Aufbau einer Adressendekodierung	358
8.2.5 Interruptunterstützung	359
8.2.6 Standardbauelemente für Interfaceschaltungen	359
8.2.7 Interfaceschaltung für den PC-Bus	362
8.2.7.1 Kommunikation mit dem Interface	364
8.2.8 Flexible I/O-Dekodierung	366
8.2.9 Dekodierung eines Speicher-Bereiches	367
8.2.10 16-Bit-Dekodierung	369
8.2.11 Programmierbare Logikbausteine im Überblick	370
8.2.12 PAL als Dekoder für eine Erweiterungskarte	373

8.3 ISA-Plug&Play-Applikation	379
8.3.1 Plug&Play-Controller TL16PNP550	384
8.3.2 Schaltung der ISA-Plug&Play-Karte	387
8.3.3 ISA-Plug&Play-Kommunikation	390
8.3.4 Plug&Play-Chips für Eigenentwicklungen	392
8.4 Entwicklung von PCI-Karten	393
8.4.1 PCI-Designbeispiele	393
8.4.2 Entwicklungsgrundlagen	396
8.4.3 PCI-Controller	399
8.4.3.1 PCI-to-PCI-Bridges	407
8.4.3.2 DMA-Betriebsarten	409
8.4.3.3 Scatter Gather Bus Mastering	410
8.4.3.4 I ₂ O-Message Unit	410
8.4.4.4 PCI-Bus-Analyse	410
8.5 PCI-Controller PLX-9050	416
8.5.1 EEPROM-Schnittstelle	420
8.5.2 PCI-9050-Register	421
8.5.2.1 Range for PCI to Local Address Space	423
8.5.2.2 Range for PCI to Local Expansion ROM	424
8.5.2.3 Local Base Address Remap-Register (0-3)	425
8.5.2.4 Local Base Remap Address for PCI to ROM	425
8.5.2.5 Bus Region Descriptors (0-3)	425
8.5.2.6 Bus Region Descriptors for Expansion ROM	426
8.5.2.7 Chip Select Base and Range Address Registers (0-3)	426
8.5.2.8 Interrupt Control / Status Register	427
8.5.2.9 Misc. and EEPROM Control Register	427
8.6 Beispielapplikation: IEC-Bus-Karte für PCI-Bus	429
8.6.1 Programmierung des EEPROMs	432
8.7 PCI-Bus-Kommunikation und Beispielprogramme	435
9 INDUSTRIELLE BUSSYSTEME UND NETZWERKE	445
9.1 Local Area Networks	447
9.1.1 Die Sterntopologie und Arcnet	448
9.1.2 ACRNET als Feldbus	450
9.1.3 Ringtopologie und Token-Passing-Verfahren	450
9.1.4 Bustopologie und CSMA/CD-Verfahren – Ethernet	451
9.1.5 Fast-Ethernet	453
9.1.6 LAN-Standards	455
9.1.7 Ethernet als Feldbus	458

9.2 Klassische Feldbussysteme	459
9.2.1 Unterscheidungsmerkmale	461
9.2.2 Interbus	463
9.2.2.1 Aufbau und Kommunikation	463
9.2.2.2 Interbus-Bauelemente	466
9.2.3 CAN-Bus	467
9.2.3.1 CAN-Bus-Kommunikation	468
9.2.3.2 Fehlererkennung	470
9.2.3.3 CAN 2.0-Spezifikation	470
9.2.3.4 CAN-Bus-Realisierungen	471
9.2.4 PROFIBUS	474
9.2.4.1 PROFIBUS-Kommunikation	476
9.2.4.2 Chips für den PROFIBUS	478
9.3 Rack- und Embedded-Systems	479
9.3.1 x86-basierte Bussysteme	479
9.3.2 Multibus	482
9.3.3 Futurebus+	483
9.3.4 NuBus	483
9.3.5 VMEbus	484
9.3.5.1 Signale des VMEbus	485
9.3.5.2 Serieller Bus	492
9.3.5.3 VMXbus	492
9.3.5.4 VME-Subbus	492
9.3.5.5 Mezzanine-Bus	495
9.3.5.6 VME 64x	495
9.3.6 VXIbus	496
9.3.6.1 Signale des VXIbus	498
9.3.6.2 VXI-P3-Signale	501
9.3.6.3 VXIbus-Kommunikation und -Software	503
9.3.6.4 VXIbus-Konfigurationen	504
9.3.6.5 Multisystem eXtension Interface – MXI	506
9.3.7 Compact-PCI	507
9.3.7.1 Signale von Compact-PCI	508
9.3.7.2 Interfaces und Hot-Swap	511
9.3.7.3 PXI-Bus	512
Anhang	
Firmenverzeichnis	515
Feldbus-Nutzerorganisationen	523
Hinweise zur CD-ROM	524
Literaturverzeichnis	526
Sachwörterverzeichnis	527