

Inhaltsverzeichnis

1	Einleitung und Übersicht	1
1.1	Motivation	1
1.2	Ziele und Organisation dieses Buches	2
1.3	Syntaxnotation	5
2	Synthese einfacher Schaltnetze.....	7
2.1	Entity, Architektur und Signale	7
2.1.1	Deklaration und Verwendung lokaler Signale	10
2.1.2	Richtungsmodi von Signalschnittstellen.....	11
2.1.3	Deklaration von Bussignalen	13
2.2	Simulation von VHDL-Entwürfen.....	13
2.3	Schaltnetze mit Boole'schen Gleichungen.....	16
2.4	Synthese selektiver und bedingter Signalzuweisungen.....	19
2.5	Übungsaufgaben	24
3	Entwurf digitaler Funktionselemente mit Prozessen.....	27
3.1	Prozesse	27
3.1.1	Deklaration und Ausführung von Prozessen.....	28
3.2	Schaltnetze mit sequentiellen Anweisungen.....	31
3.2.1	Die case-Anweisung	32
3.2.2	Die if-Anweisung	36
3.2.3	Schleifenkonstrukte	39
3.2.3.1	for loop.....	40
3.2.3.2	while loop	41
3.2.4	Simulationsspezifische Prozesse für Testumgebungen.....	43

3.3	Einfache Schaltwerke	45
3.3.1	D-Flipflops und Register	45
3.3.1.1	VHDL-Beschreibung mit Signalen	45
3.3.1.2	Testbench zum D-Flipflop	48
3.3.1.3	Entwurf von Registern	49
3.3.1.4	Verwendung von Variablen in taktsynchronen Prozessen	50
3.3.2	Johnson-Zähler mit Taktteiler	52
3.3.3	Parametrisiertes Schieberegister	54
3.4	Erzeugung von Latches	57
3.5	Vermeidbare Synthesefehler	59
3.5.1	Kombinatorische Schleifen	59
3.5.2	Fehlverhalten durch unvollständige Empfindlichkeitslisten	61
3.6	RTL-Syntheserichtlinien	62
3.6.1	D-Flipflops und Register in getakteten Prozessen	64
3.6.2	D-Latches und kombinatorische Logik	64
3.7	Übungsaufgaben	65
4	Tri-State- und Don't-Care-Modellierung	71
4.1	Die Datentypen std_ulogic und std_logic	71
4.2	Realisierung von Tri-State-Ausgangsstufen	74
4.3	Don't-Care-Werte als Ausgangssignal	79
4.4	Don't-Care-Werte als Eingangssignal	81
4.5	Konversion der Datentypen bit und bit_vector	84
4.6	Übungsaufgaben	86
5	Arithmetik und Synchronzähler	89
5.1	Arithmetik-Operatoren und zugehörige Datentypen	89
5.2	Komparator SN74xx85	91
5.3	Entwurf von Synchronzählern	94
5.4	Arithmetik mit den Datentypen signed und unsigned	98
5.4.1	Entwurf eines kombinierten Addierers / Subtrahieres	100

5.5	Integer-Arithmetik	103
5.5.1	Konversionsfunktionen zwischen arithmetischen Datentypen	106
5.5.1.1	Konversionsfunktionen des IEEE 1076.3 numeric_std	107
5.5.1.2	Synopsys-spezifische Konversionen.....	107
5.6	Hinweise zur Verwendung der Datentypen	110
5.7	Übungsaufgaben	112
6	Entwurf von Zustandsautomaten.....	117
6.1	Automatenvarianten.....	117
6.2	Moore-Automat für eine Impulsfolgengenerkennung	120
6.3	Entwurfsbeispiel für einen Mealy-Automaten.....	124
6.4	VHDL-Syntaxvarianten.....	130
6.4.1	Die Zwei-Prozess-Darstellung.....	131
6.4.2	Die Mehr-Prozess-Darstellung	133
6.4.2.1	Schnittstellensynchronisation.....	133
6.4.2.2	Maßnahmen zur Taktfrequenz erhöhung	135
6.4.2.3	Maßnahme zur Reduzierung der Latenzzeit.....	137
6.4.3	Die Ein-Prozess-Darstellung	139
6.4.4	Vergleich der Syntaxvarianten.....	140
6.5	Zustandscodierung.....	141
6.5.1	Strategien der Zustandscodierung.....	142
6.5.2	Umsetzung der Zustandscodierung in VHDL.....	143
6.5.3	Auswirkungen der Zustandscodierung auf die Synthesergebnisse	144
6.6	Übungsaufgaben	150
7	Struktureller VHDL-Entwurf	153
7.1	Ziele und Methoden der Systempartitionierung.....	154
7.2	Struktureller Entwurf mit Komponenten	157
7.2.1	Struktureller Entwurf eines 4-zu-2-Prioritätsencoders	159
7.2.1.1	Komponentendeklaration	161
7.2.1.2	Komponenteninstanziierung und port map-Anweisung.....	161
7.2.1.3	Konfiguration zur Auswahl von Modellarchitekturen	163
7.2.1.4	Modellparametrisierung	164
7.2.1.5	Iterative Instanziierung	166

7.2.2	Entwurf einer skalierbaren Addier/Subtrahier-Einheit	168
7.2.3	Kopplung von Signalen in strukturellen VHDL-Beschreibungen	173
7.3	Blockstrukturierung in Architekturen	176
7.4	Strukturierung mit Unterprogrammen	178
7.4.1	Lokale Prozeduren und Funktionen	178
7.4.2	Definition und Einsatz von packages.....	183
7.5	Herstellerspezifische Komponenten und Komponentengeneratoren	186
7.5.1	Instanziierung von RAM- und ROM-Zellen mit Prozessen	186
7.5.2	Komponentengeneratoren.....	192
7.6	Unterstützung durch Synthesewerkzeuge.....	198
7.7	Übungsaufgaben	200
8	Entwurf eines RISC-Prozessors	203
8.1	Spezifikation der Prozessorfunktionen	204
8.1.1	Das Programmiermodell	204
8.1.2	Der Instruktionssatz.....	206
8.1.3	Instruktionsformate.....	206
8.2	Prozessorarchitektur und -programmierung	207
8.3	VHDL-Realisierung.....	210
8.3.1	Registerfile.....	211
8.3.2	Instruction Fetch (IF).....	215
8.3.3	Instruction Decode (ID).....	216
8.3.4	Execute (EX)	220
8.3.5	Memory Access (MEM)	222
8.3.6	Top-Level-Architektur des RISC-Prozessors	224
8.3.7	Einfache Testbench für den RISC-Prozessor.....	227
8.4	Entwurfsverifikation	228
8.4.1	Vermeidung von RW-Hazards.....	229
8.4.2	Vermeidung von C-Hazards	230
8.4.3	Speichern und Lesen des Datenspeichers	232
8.5	FPGA-Implementierung	233

9	Modellierung digitaler Filter	235
9.1	FIR-Filter.....	237
9.1.1	Parallele FIR-Filterstrukturen.....	237
9.1.2	Zahlendarstellung im Q-Format.....	242
9.1.2.1	Addition mit vorzeichenrichtiger Erweiterung der Summanden.....	244
9.1.2.2	Binäre Multiplikation.....	245
9.1.3	Filterskalierung und Beispieldfilter	246
9.1.4	VHDL-Modelle paralleler FIR-Filterstrukturen	250
9.1.4.1	Kopplung von unterschiedlichen Taktbereichen.....	250
9.1.4.2	Basismodell der Direktform.....	253
9.1.4.3	Direktform mit symmetrisch balanciertem Addiererbaum.....	261
9.1.4.4	Direktform mit unsymmetrisch balanciertem Addiererbaum.....	265
9.1.4.5	Linear-Phasen-Struktur	275
9.1.4.6	Transponierte Form mit reduzierter Anzahl der Multiplizierer.....	285
9.1.4.7	Vergleich der Implementierungsergebnisse und Timinganalysen.....	290
9.1.5	Sequentielle FIR-Struktur mit MAC-Einheit.....	293
9.1.5.1	Multiplizierer-Akkumulatoreinheit.....	296
9.1.5.2	Ringpuffer für die Abtastwerte	298
9.1.5.3	Koeffizienten-ROM	300
9.1.5.4	Sequenzsteuerung mit einem Zustandsautomaten.....	301
9.1.5.5	Simulations- und Syntheseergebnisse	305
9.1.6	Taktschemata der Filterdatenpfade	309
9.1.6.1	Audiobandenrate	310
9.1.6.2	Hohe Datenraten	311
9.2	IIR-Filter.....	312
9.2.1	Koeffizientenberechnung und Beispieldfilter	312
9.2.2	Parallele Strukturen für IIR-Filter 2. Ordnung.....	317
9.2.3	VHDL-Modelle für Varianten der Direktform II.....	320
9.2.3.1	Transponierte Struktur der Direktform II.....	320
9.2.3.2	Modifizierte Direktform II	328
9.2.3.3	Implementierungsergebnisse und Timinganalyse	331
9.2.4	Sinusgenerator als synthesefähige Testbench.....	332
9.2.5	Entwurfsschritte für IIR-Filter.....	339
9.3	FPGA-Entwurf mit Simulink.....	340

10	Anhang.....	343
10.1	VHDL-Codierungsempfehlungen.....	343
10.2	Checkliste zum VHDL-basierten Entwurf digitaler Systeme	348
10.3	Liste der VHDL-Schlüsselworte.....	352
10.4	Lösungen zu den Übungsaufgaben	352
10.4.1	Lösungen zu den Aufgaben in Kap. 2.5	353
10.4.2	Lösungen zu den Aufgaben in Kap. 3.7	355
10.4.3	Lösungen zu den Aufgaben in Kap. 4.6	361
10.4.4	Lösungen zu den Aufgaben in Kap. 5.7	364
10.4.5	Lösungen zu den Aufgaben in Kap. 6.6	369
10.4.6	Lösungen zu den Aufgaben in Kap. 7.7	373
11	VHDL-Syntaxübersicht und Bibliotheken	379
12	Literaturverzeichnis	389
13	Sachregister	393