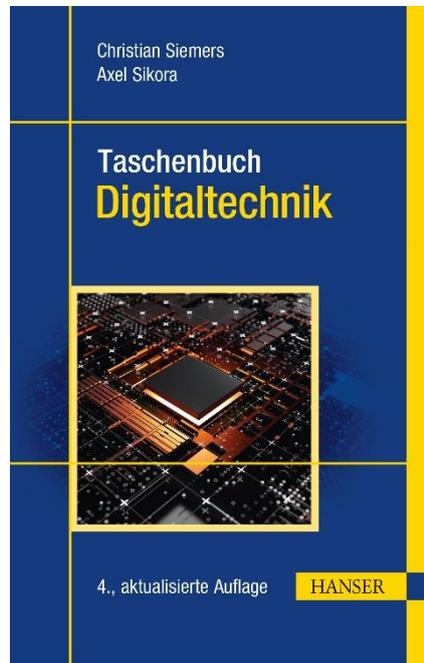


HANSER



Leseprobe

zu

Taschenbuch Digitaltechnik

von Christian Siemers (Hrsg.) und Axel Sikora (Hrsg.)

Print-ISBN: 978-3-446-46914-3
E-Book-ISBN: 978-3-446-47045-3

Weitere Informationen und Bestellungen unter
<https://www.hanser-kundencenter.de/fachbuch/artikel/9783446469143>

sowie im Buchhandel

© Carl Hanser Verlag, München

Vorwort zur 1. Auflage

Die Digitaltechnik bestimmt in zunehmendem Maß unser Lebensumfeld. Mit der Darstellung aller Größen ausschließlich durch die diskreten Werte 0 und 1 bietet sie die ideale Basis sowohl für Speicherung, Verarbeitung und Übertragung von Informationen als auch für die Massenproduktion kostengünstiger und leistungsfähiger Schaltkreise. So sind weithin bekannte Themen wie der Einsatz von Mikroprozessoren oder die moderne Form der Kommunikation via Mobiltelefonen ohne die Digitaltechnik undenkbar.

Die Digitaltechnik – als komplexes und sehr breites Wissensgebiet – findet ihre Wurzeln in der Mathematik, speziell der Boole'schen Algebra. Technisch nutzbar wurde sie in dem heute bekannten Maße erst durch die Einführung integrierter mikroelektronischer Schaltkreise, sodass eine komplette Darstellung beide Aspekte einbeziehen muss. Viele Anwendungsgebiete der Digitaltechnik, wie z. B. die digitale Signalverarbeitung oder die digitale Kommunikationstechnik, sind mittlerweile so eigenständig, dass kaum noch Gesamtdarstellungen zu finden sind. Die verteilte Darstellung erschwert jedoch in der Regel den Zugang zu einem hochkomplexen Fachgebiet wie der Digitaltechnik.

Das Taschenbuch Digitaltechnik soll beitragen, diesen Zugang zu erleichtern und in seiner kompakten und zugleich fachübergreifenden Form den Leser informieren. Es wendet sich an Studenten von Berufsakademien, Fachhochschulen und Universitäten, an Lehrer und Schüler von Berufs- und Technikerschulen, an Ingenieure und Techniker in der Praxis und an alle Interessierten, die ein kompaktes Nachschlagewerk zur Digitaltechnik benötigen.

Der fest vorgegebene Umfang des Taschenbuchs führte unvermeidbar zu einer straffen Darstellung des Stoffes und zu Einschränkungen in der fachlichen Tiefe. So konnte z. B. in Kapitel 13 nur eine kleine Auswahl konkreter Bauelemente der Digitaltechnik vorgestellt werden. Die Auswahl fiel auf programmierbare Logikbausteine, die den Mikroprozessoren in ihrer Programmierbarkeit und den kundenspezifischen Schaltungen im Entwurfsablauf verwandt sind. Aber auch von diesen war nur ein kleiner Teil darstellbar. Das umfangreiche Literaturverzeichnis sowie die angegebenen Informationen im Internet ermöglichen jedoch dem Interessierten den Zugang zu weiterführender Literatur zum spezifischen Studium.

Natürlich sind Anregungen, Wünsche und Hinweise zur Verbesserung des Taschenbuchs jederzeit willkommen.

Die Herausgeber bedanken sich im Namen aller beteiligten Autoren sehr herzlich bei Frau Dipl.-Ing. Erika Hotho vom Fachbuchverlag Leipzig und Herrn Dr.-Ing. Steffen Naake, Chemnitz, für die stets sehr gute Zusammenarbeit.

Nordhausen und Lörrach im September 2002

Christian Siemers
Axel Sikora

Vorwort zur 4. Auflage

Die Digitaltechnik setzt ihren Siegeszug fort – trotz aller Unkenrufe in Bezug auf die weitere Skalierung der Bauelemente, auf das Ende von Moore's Law, auf das Design Gap der Entwicklungswerkzeuge und auf die vielen weiteren Herausforderungen. Im Gegenteil: Die digitale – zeit- und wertediskrete – Darstellung und Verarbeitung ermöglicht immer mehr Anwendungen der Signalverarbeitung, des maschinellen Lernens und der künstlichen Intelligenz.

Vor diesem Hintergrund und auf der Grundlage der weiterhin außerordentlich positiven Rückmeldungen zur 3. Auflage unseres Taschenbuchs Digitaltechnik durften wir feststellen, dass mit der recht grundsätzlichen Überarbeitung ein weiterer, sehr guter Schritt zu einem übergreifenden und auch vergleichsweise „zeitlosen“ Nachschlagewerk gelungen ist, das alle wesentlichen Themen der Digitaltechnik in einer adäquaten Breite und Tiefe darstellt. Dabei hat sich auch der erstmalig komplett elektronische Zwilling als E-Book sehr gut bewährt.

Vor dem Hintergrund dieser sehr guten Akzeptanz hat dann auch die vierte Auflage erneut recht lange auf sich warten lassen. In dieser wurde das bewährte Grundkonzept beibehalten, während weitere inhaltliche Straffungen vorgenommen wurden. Insbesondere die produktbezogenen Kapiteln 10, 12 und 13, sowie die Literaturhinweise wurden aktualisiert. Bei der Überarbeitung haben uns die freundlichen Anregungen, Wünsche und Hinweise der Leser sehr geholfen, sodass wir hoffen, auch zu dieser vierten Auflage wieder zahlreiche Rückmeldungen zu erhalten.

Die Herausgeber bedanken sich auch in dieser Runde wieder bei sehr herzlich bei allen Autoren für ihre unkomplizierte Unterstützung dieser Neuauflage. Neu übernommen wurde das Lektorat von Frank Katzenmayer vom Carl-Hanser-Verlag, dem wir für die effiziente, stets sehr angenehme Zusammenarbeit, Anleitung und Motivation danken. Den Herausgebern hat die Neuauflage wieder viel Freude gemacht, auch wenn beide in den vergangenen Jahren

durch ihre beruflichen Aufgaben mit vielen Herausforderungen im Umfeld der Digitalisierung beschäftigt waren.

Clausthal-Zellerfeld und
Offenburg/Villingen-Schwenningen
im Januar 2022

Christian Siemers
Axel Sikora

Inhaltsverzeichnis

1	Grundlagen	19
1.1	<i>Einführung in die Digitaltechnik</i>	19
1.1.1	Analoge und digitale Signale	20
1.1.2	Umsetzung zwischen analogen und digitalen Werten	22
1.1.3	Binäre Zustände	23
1.1.4	Zeichen, Alphabet und Code	23
1.1.5	Mehrwertige Logik	24
1.1.6	Programmierbare digitale Systeme	24
1.2	<i>Klassifizierung von digitalen Schaltungen</i>	25
1.2.1	Zeitunabhängige Schaltungen	25
1.2.2	Zeitabhängige Schaltungen	25
1.3	<i>Zielfunktionen</i>	26
1.3.1	Zielfunktionen in der Rechnertechnik	27
1.3.2	Zielfunktionen in der Kommunikationstechnik	27
1.3.3	Weitere Zielfunktionen	28
1.4	<i>Einheiten und Größen der Digitaltechnik</i>	28
2	Halbleitertechnologie und Schaltungstechnik	30
2.1	<i>Einführung</i>	30
2.2	<i>Technologische Grundlagen</i>	30
2.2.1	Eigenschaften von Atomen im Verbund	30
2.2.2	Eigenschaften von Halbleitern	33
2.2.3	Herstellung von Halbleitern	34
2.2.4	Skalierung von Halbleiterbauelementen	36
2.2.5	Weiterentwicklung von Halbleitern	38
2.3	<i>Bauelemente</i>	39
2.3.1	Bipolardiode	39
2.3.2	Bipolartransistoren	42
2.3.3	Feldeffekttransistoren	43
2.3.3.1	Isolierschicht-FET	43
2.3.3.2	Sperrschichtisolierte FET	46
2.3.4	CMOS-Technologien	47
2.3.5	Metallisierungssysteme	48
2.4	<i>Schaltungstechniken</i>	50
2.4.1	Überblick	50
2.4.2	Transistor-Transistor-Logik (TTL)	51
2.4.3	ECL	52
2.4.4	NMOS	53
2.4.5	CMOS	54
2.4.5.1	Grundaufbau	54
2.4.5.2	Zeitverhalten	57
2.4.5.3	Transmission-Gates	59
2.4.6	BiCMOS	59
2.4.7	Ausgangsschaltungen	60

3	Zahlensysteme und Codierung	62
3.1	<i>Zahlensysteme</i>	62
3.1.1	Additionssysteme	62
3.1.2	Stellenwertsysteme	63
3.1.3	Zahlensystemkonvertierung	63
3.2	<i>Binäre Codierung von Zahlen und Zeichen</i>	63
3.2.1	Darstellung positiver ganzer Zahlen	63
3.2.2	Darstellung negativer ganzer Zahlen	64
3.2.3	Darstellung rationaler Zahlen	67
3.2.3.1	Festkommadarstellung	67
3.2.3.2	Gleitkommadarstellung	68
3.2.4	Tetraden-Codes	71
3.2.5	Zeichencodes	72
3.2.5.1	ASCII	72
3.2.5.2	ISO 8859	73
3.2.5.3	Unicode	74
3.2.5.4	Universal Transformation Format (UTF)	75
3.3	<i>Grundbegriffe der Codierungstheorie</i>	75
3.4	<i>Quellencodierung</i>	78
3.4.1	Grenzen der Kompression	79
3.4.1.1	Informationsgehalt und Entropie	79
3.4.1.2	Theorem von Shannon	80
3.4.2	Verlustfreie Kompression	81
3.4.2.1	Fano-Codierung	82
3.4.2.2	Huffman-Codierung	83
3.4.2.3	Lauf längencodierung	84
3.4.2.4	Lempel-Ziv-Codierung	85
3.4.2.5	Arithmetische Codierung	86
3.4.3	Verlustbehaftete Kompression	87
3.4.3.1	Sprachkompression	87
3.4.3.2	Bildkompression	88
3.4.3.3	Audio- und Videokompression	88
3.5	<i>Kanalcodierung</i>	89
3.5.1	Hamming- und Code-Distanz	90
3.5.2	Fehlererkennende Codes	90
3.5.2.1	Paritäts-Codes	90
3.5.2.2	CRC-Codes	91
3.5.3	Fehlerkorrigierende Codes	94
3.5.3.1	Hamming-Code	94
3.5.3.2	Matrix-Codes	96
3.5.4	Grenzen der Datenübertragung	96
3.6	<i>Leitungscodierung</i>	98
3.7	<i>Modulation</i>	100
4	Boole'sche Algebra	102
4.1	<i>Grundlagen</i>	102
4.1.1	Elementare Boole'sche Operatoren	102
4.1.1.1	Null- und Eins-Theoreme	103

4.1.1.2	Idempotenz	103
4.1.1.3	Komplement	103
4.1.2	Boole'sche Funktionen	103
4.1.2.1	Funktionen mit einem Eingang und Ausgang	104
4.1.2.2	Funktionen mit zwei Eingängen	104
4.1.2.3	Boole'sche Funktionen mehrerer Variabler	106
4.1.3	Rechenregeln der Schaltalgebra	107
4.1.3.1	Kommutativgesetze	107
4.1.3.2	Assoziativgesetze	107
4.1.3.3	Distributivgesetze	107
4.1.3.4	Kürzungsregeln	107
4.1.3.5	De Morgan'sche Gesetze	108
4.1.3.6	Dualitätsprinzip, Shannon'sches Gesetz	108
4.1.4	Vollständige Logiksysteme	109
4.1.4.1	Vollständiges System aus UND, ODER, NICHT	109
4.1.4.2	Vollständige Systeme mit NAND- oder mit NOR-Operator	110
4.2	<i>Normalformen</i>	110
4.2.1	Disjunktive Normalform (DNF)	110
4.2.1.1	Minterm	110
4.2.1.2	DNF-Beschreibung Boole'scher Funktionen	110
4.2.2	Konjunktive Normalform (KNF)	111
4.2.2.1	Maxterm	111
4.2.2.2	KNF-Beschreibung Boole'scher Funktionen	112
4.2.3	Vertauschen der UND/ODER-Operatoren	112
4.3	<i>Minimieren Boole'scher Funktionen</i>	112
4.3.1	Minimierungsverfahren	113
4.3.2	KV-Diagramm	113
4.3.2.1	KV-Diagramm für zwei Eingangsvariable	113
4.3.2.2	KV-Diagramm für drei Eingangsvariable	114
4.3.2.3	KV-Diagramme mit bis zu sechs Eingangsvariablen	115
4.3.2.4	Implikanten	115
4.3.2.5	Minimieren Boole'scher Funktionen	116
4.3.3	Ausnutzen von Redundanzen	118
4.3.4	Verfahren von Quine und Mc Cluskey	118
4.4	<i>Funktionszerlegung</i>	120
4.4.1	Disjunkte Zerlegung	120
4.4.2	Iterative Zerlegung	121
4.4.3	Shannon-Zerlegung	121
4.4.4	Geordnete binäre Entscheidungsgraphen	123
5	Kombinatorische Schaltungen	125
5.1	<i>Wichtige Grundschaltungen</i>	125
5.1.1	Multiplexer	125
5.1.1.1	Funktionsweise eines Multiplexers	126
5.1.1.2	Schaltsymbol	126
5.1.1.3	Realisierung Boole'scher Funktionen	127
5.1.2	Demultiplexer	127
5.1.2.1	Funktionsweise eines Demultiplexers	127

5.1.2.2	Schaltsymbol	128
5.1.2.3	Realisierung Boole'scher Funktionen	128
5.1.3	Code-Umsetzer	129
5.1.3.1	Prioritäts-Encoder	129
5.1.3.2	Binär/Gray-Code-Umsetzer	130
5.1.4	Addition und Subtraktion von Zahlen	130
5.1.4.1	Addition einzelner Bits	130
5.1.4.2	Addition positiver Festkommazahlen	131
5.1.4.3	Addition von 2er-Komplementzahlen	132
5.1.4.4	Subtraktion von Festkommazahlen	132
5.1.4.5	Rechenwerk zur Addition und Subtraktion	133
5.1.4.6	Beschleunigung der Addition	134
5.2	<i>Hazards</i>	135
5.2.1	Entstehung von Hazards	136
5.2.2	Eliminieren von Hazards	137
5.3	<i>Schaltungen mit externer asynchroner Rückkopplung</i>	137
5.3.1	Gedankliche Auftrennung der Rückkopplungssignale	138
5.3.2	Spezifikation asynchron rückgekoppelter Schaltungen	138
5.3.2.1	Spezifikation mittels Funktionstabelle	138
5.3.2.2	Spezifikation durch Zustandsdiagramm	139
5.3.3	Realisierung asynchron rückgekoppelter Schaltungen	140
6	Sequenzielle Schaltungen	143
6.1	<i>Grundlagen</i>	143
6.1.1	Realisierung von bistabilen Kippstufen (Flipflops)	143
6.1.1.1	Grundlegendes	143
6.1.1.2	Asynchrone Flipflops	144
6.1.1.3	Synchrone Flipflops	145
6.1.2	Zeitverhalten von Flipflops	150
6.1.3	Schmitt-Trigger	152
6.2	<i>Asynchrone Schaltwerke</i>	154
6.3	<i>Synchrone Schaltwerke</i>	155
6.3.1	Endliche Zustandsautomaten	155
6.3.1.1	Übersicht	155
6.3.1.2	Diskretisierung der Zeit	158
6.3.1.3	Entwurf endlicher Zustandsautomaten	158
6.3.1.4	Modellierung endlicher Zustandsautomaten	159
6.3.1.5	Codierung	166
6.3.2	Timing-Bedingungen	166
6.3.2.1	Synchroner Fall	166
6.3.2.2	Taktversatz	167
6.3.2.3	Minimierung des Taktversatzes	169
6.3.3	Pipelining	169
6.3.4	Verlustleistung	170
6.3.5	Hilfsschaltungen	171
6.3.5.1	Realisierung von Multivibratoren (Oszillatoren)	171
6.3.5.2	Realisierung von Reset-Schaltungen	173
6.4	<i>Zähler und Frequenzteiler</i>	173
6.4.1	Asynchrone Zähler	174

6.4.2	Synchrone Zähler	175
6.5	Schieberegister	176
7	Entwurfsverfahren für digitale Schaltungen	179
7.1	Schritte im Entwurfsprozess	181
7.2	Modellierung digitaler Systeme	186
7.2.1	Modelleingabe	187
7.2.1.1	Schaltpläneingabe	187
7.2.1.2	HDL-Modelleingabe	188
7.2.1.3	Grafische Modelleingabe	188
7.2.2	Einfaches Entwurfsbeispiel	189
7.2.2.1	Spezifikation auf algorithmischer Ebene	189
7.2.2.2	Strukturierung auf RT-Ebene	190
7.2.2.3	Verhaltensmodellierung auf RT-Ebene	191
7.2.2.4	Synthese und Implementierung des RT-Modells	193
7.2.2.5	Analyse auf Gatterebene	194
7.2.2.6	Redesign als Ripple-Carry-Addierer	194
7.2.2.7	Gatternetzliste einer CPLD-Implementierung	195
7.2.2.8	Übergang auf die Transistorebene	196
7.3	Simulation	197
7.3.1	Grundlagen der Simulation	197
7.3.1.1	Simulationsarten	198
7.3.1.2	Simulationsmethoden	200
7.3.1.3	Grenzen der Simulation	201
7.3.1.4	Verzögerungsmodelle	202
7.3.2	Ereignisgesteuerte Simulation	204
7.4	Synthese	206
7.4.1	Verhaltenssynthese	208
7.4.2	RT-Synthese	210
7.5	Physikalische Implementierung	211
7.5.1	Translate	212
7.5.2	Technology Mapping und Place & Route	212
7.5.2.1	CPLD Optimierung	212
7.5.2.2	Mehrstufige Logikoptimierung	212
7.5.2.3	Optimierung für SRAM-FPGAs	214
7.5.3	Place & Route	214
7.5.4	Neuere Trends	215
7.6	Verifikation	215
7.6.1	Funktionale Verifikation	216
7.6.1.1	Verifikationssimulation	217
7.6.1.2	Hardware-Emulation	217
7.6.1.3	FPGA-Prototypen	218
7.6.2	Statische Timinganalyse	218
7.6.3	Formale Verifikation	219
7.6.3.1	Logikverifikation	220
7.6.3.2	Verifikation durch Modellprüfung	220
7.7	Entwicklungstrends	221
7.7.1	Hierarchisierung	221
7.7.2	Hardware-Software-Codesign	222

8	Hardware-Modellierung	224
8.1	<i>Hardware-Beschreibungssprachen</i>	224
8.2	<i>VHDL</i>	225
8.2.1	Grundkonzepte von VHDL	226
8.2.1.1	Sprachelemente	226
8.2.1.2	Schnittstellenbeschreibung durch entity, port und generic	231
8.2.1.3	Architekturbeschreibung und lokale Signale	233
8.2.1.4	Datenflussbeschreibung durch nebenläufige Signalzuweisungen	233
8.2.1.5	Verhaltensbeschreibungen durch Prozesse	234
8.2.1.6	Strukturbeschreibung mit Komponenten	239
8.2.1.7	Unterprogramme	241
8.2.1.8	Verwendung von Bibliotheken	242
8.2.1.9	Testumgebungen	244
8.3	<i>VHDL-AMS</i>	245
8.3.1	VHDL-AMS-Konzepte	245
8.3.2	Verhaltensbeschreibungen	247
8.3.3	Strukturmodelle	249
8.4	<i>Verilog im Vergleich zu VHDL</i>	250
8.4.1	Sprachelemente	250
8.4.2	Strukturelle Beschreibung	250
8.4.3	Verhaltensbeschreibung	252
8.5	<i>SystemC</i>	257
8.5.1	Grundkonzepte von SystemC	258
8.5.2	RT-Verhaltensbeschreibungen	259
8.5.3	Strukturbeschreibungen	261
8.5.4	Entwurf einer Testbench	262
8.5.5	Besonderheiten bei der Verwendung von Signalen und Variablen	265
9	Test und Diagnose	266
9.1	<i>Grundlagen</i>	266
9.2	<i>Fehlermodelle und Testmethoden</i>	268
9.2.1	Ausbeutemodelle	268
9.2.2	Fehlermodelle	268
9.3	<i>Testmustererzeugung und Fehlersimulation</i>	271
9.3.1	Schaltungspartitionierung und Fehlerreduktion	272
9.3.2	Fehlersimulation	273
9.3.3	Testbarkeitsmaße und Zufallstests	273
9.3.4	Automatische Testmustererzeugung	274
9.3.5	Diagnostische Tests	274
9.3.6	Testmethoden ohne Haftfehlerannahme	275
9.3.7	Teststrategien und Produktqualität	276
9.4	<i>Prüfgerechter Entwurf</i>	277
9.4.1	Prüfpfadbasierender Entwurf	277
9.4.2	Ad-hoc-Techniken des prüfgerechten Entwurfs	279
9.4.3	Verlustleistung im Testbetrieb	279
9.5	<i>Selbsttest und eingebetteter Test</i>	280
9.5.1	Prüfpfadbasierender Selbsttest	281

9.5.2	Mustererzeugung im Selbsttest	281
9.5.3	Auswertung der Testantworten im Selbsttest	283
9.5.4	Eingebetteter Test	284
9.6	<i>Test von Speicherfeldern</i>	285
9.7	<i>Standardisierung</i>	286
9.7.1	IEEE 1149.1 Boundary Scan (JTAG)	286
9.7.2	Standard zum Test von Systems on Chip (SoC)	288
10	Realisierung digitaler Schaltwerke	290
10.1	<i>Grundlagen</i>	290
10.1.1	Layout	290
10.1.2	Chip-Layout	290
10.1.3	Entwurfsarten	291
10.2	<i>Full-Custom-Entwurf</i>	292
10.3	<i>Semi-Custom-Entwurf</i>	292
10.3.1	Standardzellentwurf	292
10.3.2	Gate-Array	293
10.3.3	Embedded-Array	294
10.4	<i>Systemintegration</i>	294
10.4.1	Anforderungen und Herausforderungen	294
10.4.2	Bereitstellung von Makros	296
10.4.3	Positionierung der Hersteller	297
10.4.4	SoC-Standards	298
10.4.5	Produktbeispiele von Makros	298
10.4.5.1	Voraussetzungen	298
10.4.5.2	Speicher	298
10.4.5.3	Prozessorkerne	299
10.4.5.4	Kommunikationscontroller	299
10.4.5.5	Schnittstellen	300
10.4.5.6	Proprietäre Bibliotheken	300
10.4.6	Erweiterungen	300
11	Digitale Halbleiterspeicher	301
11.1	<i>Übersicht</i>	301
11.2	<i>Halbleiterspeicher – Einteilung, Strukturen, Kenngrößen</i>	302
11.2.1	Einteilung von Halbleiterspeichern	302
11.2.2	Strukturen von Matrixspeichern	306
11.2.3	Kenngrößen von Halbleiterspeichern	307
11.3	<i>Flüchtige Speicher</i>	309
11.3.1	SRAM	310
11.3.1.1	SRAM-Speicherzelle	310
11.3.1.2	SRAM-Bausteine	311
11.3.2	DRAM	313
11.3.2.1	DRAM-Speicherzelle	313
11.3.2.2	DRAM-Bausteine	314
11.3.2.3	Weiterentwicklung von DRAM-Technologien	317
11.3.3	SDRAM und DDR-RAM	320
11.3.3.1	SDRAM	320

11.3.3.2	Ansätze zur Erhöhung der Datentransferrate	321
11.3.3.3	DDR-RAM	321
11.3.4	Kenngrößen von SRAM und DRAM	322
11.3.5	Weiterentwicklungen flüchtiger Speicher	323
11.4	<i>Nichtflüchtige Speicher</i>	324
11.4.1	Maskenprogrammierte ROM	325
11.4.2	PROM	327
11.4.3	EPROM	328
11.4.3.1	EPROM-Speicherzelle	328
11.4.3.2	Programmierung der FAMOS-Speicherzelle	329
11.4.3.3	Lesen einer FAMOS-Speicherzelle	329
11.4.3.4	Löschen einer FAMOS-Zelle	329
11.4.3.5	EPROM-Bausteine	330
11.4.4	EEPROM	330
11.4.4.1	EEPROM-Speicherzellen	330
11.4.4.2	Programmieren von EEPROM-Zellen	331
11.4.4.3	Löschen von EEPROM-Zellen	332
11.4.4.4	Lesen von EEPROM-Zellen	332
11.4.4.5	EEPROM-Baustein	332
11.4.5	Flash-EEPROM	333
11.4.5.1	Flash-EEPROM-Speicherzelle	333
11.4.5.2	Flash-Architekturen	334
11.4.5.3	Flash-Bausteine	336
11.4.5.4	Weiterentwicklungen der Flash-Technologie	337
11.5	<i>NVRAM/NOVRAM</i>	337
11.5.1	Überblick	337
11.5.2	Flüchtige RAM-Speicher mit Energiespeichern	338
11.5.3	RAM-/EEPROM-(Flash-EEPROM-)Architekturen	338
11.5.4	Ferroelectric RAM (FeRAM/FRAM)	338
11.5.5	Magneto-resistives RAM (MRAM)	340
11.5.6	Phase Change RAM (PCRAM, PRAM)	341
11.6	<i>Entwicklungstrends</i>	342
12	Mikroprozessortechnik	344
12.1	<i>Einführung</i>	344
12.1.1	Bestandteile eines Mikrocomputers	345
12.1.2	Gegenstand der Mikroprozessortechnik	347
12.1.3	Historische Entwicklung	347
12.1.4	Differenzierung von Mikroprozessoren	350
12.2	<i>Aufbau und Funktion einfacher Mikroprozessoren</i>	353
12.2.1	Komponenten eines Mikroprozessors	353
12.2.1.1	Register	353
12.2.1.2	ALU	355
12.2.1.3	Steuerwerk	357
12.2.1.4	Adresswerk	358
12.2.1.5	Systembus	359
12.2.2	Ausgewählte Funktionsprinzipien	360
12.2.2.1	Ablauf der Befehlsabarbeitung	360
12.2.2.2	Bussteuerung	362

12.2.2.3	Stackfunktion	365
12.2.2.4	Polling und Interrupt-Steuerung	367
12.2.3	Basis-Architekturen	368
12.2.3.1	Vorbemerkungen	368
12.2.3.2	CISC-Prozessoren	369
12.2.3.3	RISC-Prozessoren	370
12.3	<i>Programmiermodell eines Mikroprozessors</i>	371
12.3.1	Registersatz	371
12.3.2	Speichermodell	373
12.3.3	Befehlssatz	374
12.3.4	Adressierungsarten	375
12.4	<i>Erhöhung der Verarbeitungsleistung</i>	376
12.4.1	Pipelining	377
12.4.2	Cache-Speicher	379
12.4.3	Superskalare Prozessoren	381
12.4.4	Multicore-Prozessoren	383
12.5	<i>Architekturmerkmale eines ausgewählten Mikroprozessors</i>	385
12.6	<i>Trends</i>	389
13	Architekturen programmierbarer Logikbausteine	391
13.1	<i>Programmierbare Logikbausteine</i>	391
13.1.1	Allgemeines PLD-Modell	391
13.1.2	Basisblöcke	393
13.1.2.1	Logikblöcke in Look-Up-Table-Struktur	393
13.1.2.2	Logikblöcke in PAL-Struktur	393
13.1.2.3	Logikblöcke mit Multiplexer	394
13.1.2.4	Speicherfunktion mit Bypass	395
13.1.2.5	Aufbau des konfigurierbaren Routings	395
13.1.3	Input-/Output-Blöcke	396
13.1.3.1	Speicher- und Pufferfunktionen bei I/O	396
13.1.3.2	Elektrische Anpassungen im I/O-Block	397
13.1.4	Programmiertechnologien	398
13.1.4.1	Pass-Transistoren	399
13.1.4.2	Technologien im PLD-Codespeicher	399
13.1.5	Aufbau von Simple- und High-Density-PLDs	401
13.1.5.1	Simple-PLDs	402
13.1.5.2	High-Density-PLDs	402
13.1.6	Klassifizierungen	403
13.1.6.1	Klassifizierung nach Mikroarchitektur	403
13.1.6.2	Klassifizierung nach Programmierbarkeit	404
13.1.6.3	Weiterentwicklungen	405
13.2	<i>Übersicht zu Herstellern von PLDs</i>	406
13.2.1	Programmierbare Logikbausteine	406
13.2.2	Software-definierte Mikroprozessorkerne	408
13.3	<i>Simple Programmable Logic Devices (SPLD)</i>	408
13.3.1	GAL/PAL 16V8	409
13.3.2	GAL/PAL 22V10	410
13.4	<i>Complex Programmable Logic Devices (CPLD)</i>	412
13.4.1	Basisarchitektur	412

13.4.2	Erweiterungen	413
13.4.2.1	Erweiterung der PAL-Struktur	414
13.4.2.2	Integration von SRAM-basierten Datenspeicher	415
13.4.2.3	Hierarchische Organisation des Bausteins	416
13.5	<i>Field-Programmable Gate Arrays (FPGA)</i>	417
13.5.1	Basisarchitektur	417
13.5.2	Erweiterungen	418
13.5.2.1	Zusammenfassung der Look-Up Tables (LUT)	419
13.5.2.2	Integration von SRAM-basierten Datenspeicher	419
13.5.2.3	Integration von Elementen zur arithmetischen Verarbeitung	420
14	Digital/Analog-Umsetzer und Analog/Digital-Umsetzer	421
14.1	<i>Grundlagen der Digitalisierung und Analogisierung</i>	421
14.1.1	Digitale Systeme mit ADC und DAC	421
14.1.2	Abtastung, Quantisierung und Rekonstruktion	423
14.1.3	Weitere Kenngrößen von ADC und DAC	428
14.2	<i>Digital/Analog-Umsetzer (DAC)</i>	429
14.2.1	Grundprinzipien der Digital/Analog-Umsetzung	429
14.2.2	Umsetzer mit Widerstandskettenleitern	430
14.2.3	Umsetzer mit geschalteten Stromquellen	432
14.2.4	Umsetzer mit Pulsweitenmodulator	433
14.2.5	Umsetzer mit Sigma-Delta-Modulation	434
14.2.6	DAC im Signalweg	435
14.2.7	Stand der Technik	436
14.3	<i>Analog/Digital-Umsetzer</i>	436
14.3.1	Grundprinzipien der Analog/Digital-Umsetzung	437
14.3.2	Umsetzer mit Parallelverfahren	439
14.3.3	Parallelumsetzer mit Pipeline	441
14.3.4	Umsetzer mit sukzessiver Approximation	442
14.3.5	Umsetzer mit Integration	444
14.3.6	Umsetzer mit Sigma-Delta-Modulator	446
	Abkürzungsverzeichnis	448
	Literaturverzeichnis	457
	Sachwortverzeichnis	471

1 Grundlagen

Christian Siemers

Die Digitaltechnik hat in den letzten Jahrzehnten außerordentlich an Bedeutung gewonnen. Dieses Gebiet hatte mit den ersten mechanischen Rechenmaschinen im 17. Jahrhundert bereits einige Bedeutung erlangt und erhielt aus mathematischer Sicht mit der Boole'schen Algebra Mitte des 19. Jahrhunderts eine theoretische Basis ($\rightarrow 4$). Eine breite Einführung blieb mit der elektrotechnischen und vor allem elektronischen Realisierung ($\rightarrow 2$) dem 20. Jahrhundert vorbehalten.

Aktuell wird die Digitaltechnik als die grundlegende Technik der Informationsgesellschaft angesehen. Als Gründe hierfür können die einfache Reproduzierbarkeit von Schaltungen ($\rightarrow 2.4$), die im Vergleich zu analogen Schaltkreisen einfache Produzierbarkeit ($\rightarrow 2.3$), die hohe Integrationsdichte ($\rightarrow 10$) der integrierten Schaltkreise (IC, Integrated Circuits), die im Rahmen der Auflösung garantierte Genauigkeit ($\rightarrow 14$) und die große Fehlersicherheit genannt werden.

Innerhalb der Digitaltechnik ($\rightarrow 1.1$) werden die Bereiche Grundlagen, Schaltungstechnik (technische Realisierung und Designverfahren) sowie Anwendungen voneinander unterschieden. Hierin spiegelt sich wider, dass die Digitaltechnik auf mathematischer Theorie basiert und als Teilgebiet der Elektronik und der Informatik zugleich angesehen wird.

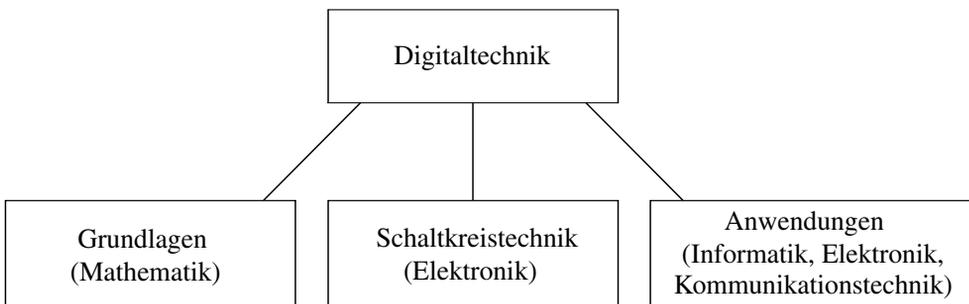


Bild 1.1 Gliederung der Digitaltechnik

1.1 Einführung in die Digitaltechnik

Digitale Schaltungen ($\rightarrow 1.2$) verarbeiten Eingangssignale und/oder erzeugen Ausgangssignale, besitzen also eine starke Kopplung an die Außenwelt. Diese Außenwelt ist, sofern nicht noch Bestandteil der digitalen Welt, jedoch analoge Natur.

1.1.1 Analoge und digitale Signale

Ein **analoges Signal** ist eine von einer physikalische Größe getragene Zeitfunktion, die innerhalb eines *Zulässigkeitsintervalls* sowohl im Verlauf der Größe (Amplitude) als auch im zeitlichen Verlauf kontinuierliche Werte annehmen kann.

Theoretisch wird dabei nur das Zulässigkeitsintervall eingeschränkt, praktisch auch die sinnvolle Genauigkeit, die z. B. bei analogen Anzeigeeinstrumenten bei 10^{-2} bis 10^{-3} , bezogen auf die Gesamtskala, liegt.

Ein **digitales Signal** (*digitus*: Finger, lat.) ist eine von einer physikalischen Größe getragene Zeitfunktion, die nur endlich viele diskrete Werte annehmen kann. Die annehmbaren Werte entsprechen den Worten eines vereinbarten Alphabets. Besteht dieses Alphabet aus genau zwei Werten, so handelt es sich um **binäre** (digitale) Signale.

Jedem Bereich (Intervall) einer zu messenden bzw. darzustellenden Größe wird ein Signalwert zugeordnet, sodass alle dicht beieinander liegenden Werte auf den gleichen Signalwert abgebildet werden. Dieser Vorgang entspricht der analogen Rundung und wird **Diskretisierung** oder **Quantisierung** (\rightarrow 14) genannt.

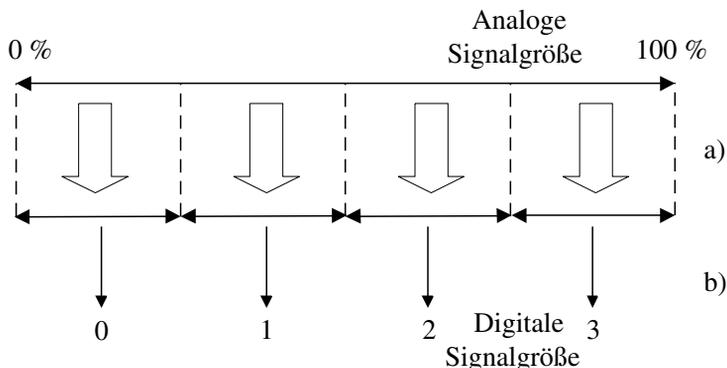


Bild 1.2 Abbildung einer Messgröße in digitale und analoge Signalgröße
a) Quantisierung in Intervalle b) Codierung der Intervalle

Durch diese Diskretisierung (\rightarrow Bild 1.2) entsteht bei einer vorgegebenen Genauigkeit (Anzahl der dargestellten Stellen) ein prinzipieller Fehler, der maximal die Intervallgröße betragen kann. Dieser Fehler kann nicht durch weitere Rechnungen behoben werden. Allerdings besteht die Möglichkeit, eine geforderte Genauigkeit durch die Intervallgröße zu erfüllen.

Die Zuordnung von analogem Intervall und digitaler Darstellung ist im Allgemeinen beliebig. In der Praxis haben sich jedoch eine lineare Zuordnung mit konstanten Intervallen oder eine logarithmische Zuordnung mit Darstellung

von Exponenten und Mantisse durchgesetzt. Erstere führt zu Integer- bzw. Festkommazahlen (\rightarrow 3.2.1), letztere zu Gleitkommazahlen (\rightarrow 3.2.2). Damit kann die Digitaltechnik als ein Zweig der Elektronik mit Nutzung digitaler Wertedarstellungen definiert werden:

Die **Digitaltechnik** ist ein Teilgebiet der Elektronik und Informationstechnik zur Erfassung, Darstellung, Verarbeitung und Übertragung digitaler Signale. Sie gliedert sich in die Bereiche *mathematische Grundlagen* (Theorie), *Schaltkreistechnik* in der Elektronik /1.10/ und *Anwendungen in der Informatik* /1.12/ und *Kommunikationstechnik* /1.13/.

Die **mathematischen Grundlagen** bilden die Theorie der Zahlensysteme, die Boole'sche Algebra (\rightarrow 4) und die Theorie der diskreten Systeme. Zu den Grundlagen gehören auch verschiedene Schaltungsarten (\rightarrow 1.2). Hier stehen abstrakte Modelle und eine Einteilung nach Zeitabhängigkeiten im Vordergrund.

Die **Schaltkreistechnik** kann in technische Realisierung sowie Design- und Testverfahren untergliedert werden. Die **technische Realisierung** umfasst die Grundlagen der Halbleitertechnologie (\rightarrow 2), kombinatorische (\rightarrow 5) und sequenzielle (\rightarrow 6) Schaltungen, Entwurfsverfahren (\rightarrow 7) und -sprachen (\rightarrow 8) für digitale Schaltungen und die Herstellung integrierter Schaltkreise (\rightarrow 10). Die *Herstellungstechnologie* ist zunächst unabhängig von der digitalen Schaltkreisart und kann äquivalent für analoge Schaltungen angewendet werden. Aktuell werden jedoch Herstellungstechnologien von integrierten Schaltkreisen weiterentwickelt, deren Ziel ausschließlich die Unterstützung digitaler ICs ist.

Die **Designverfahren** und sich hiervon mittlerweile unabhängig entwickelnde **Testverfahren** erhalten ihre Bedeutung aus dem ständig wachsenden Schaltungsumfang. Hierbei müssen die Entwurfsverfahren selbst (\rightarrow 7), die Hardwarebeschreibungssprachen (\rightarrow 8) und die Einbeziehung von Simulationen und Tests in den Entwurfsprozess (\rightarrow 7 und 9) betrachtet werden.

Die **Anwendungen** der Digitaltechnik sind in der *Technischen Informatik* mit den Mikroprozessoren (\rightarrow 12), den digitalen Speichern (\rightarrow 11) und den strukturierbaren Logikbausteinen (\rightarrow 13) zu sehen. Die *digitale Signalverarbeitung* und *Kommunikationstechnik* /1.13/ bilden weitere, z. T. spezialisierte und eigenständige Gebiete der Digitaltechnik.

Innerhalb der Digitaltechnik und ihrer Anwendungen haben sich zwei Gebiete besonders stark entwickelt: die programmierbaren Prozessoren und die strukturierbaren Logikschaltungen (\rightarrow 1.1.6). Die Prozessoren zeigen einen zeitlich sequenziellen Programmablauf. Die strukturierbaren Logikschaltungen, hierunter auch die PLDs (Programmable Logic Devices, \rightarrow 13), gestatten

prinzipiell parallele Bearbeitung. Die sequenzielle Bearbeitung in Prozessoren bezeichnet man als *Computing in Time*, die nebenläufige Abarbeitung hingegen als *Computing in Space*.

1.1.2 Umsetzung zwischen analogen und digitalen Werten

Grundsätzlich ist mit digitalen Signalen eine beliebige Genauigkeit der Darstellung möglich, in der Praxis sind jedoch bei der Wandlung zwischen analog und digital Grenzen gesetzt. Die praktische Ausführung der Wandlung erfolgt fast immer zwischen elektrischen Signalen. Analog/Digital-Umsetzer (A/D-Converter, → 14.3) und Digital/Analog-Umsetzer (D/A-Converter, → 14.2) sind hierfür in verschiedenen Ausführungen erhältlich und können in ihren statischen und dynamischen Merkmalen charakterisiert werden.

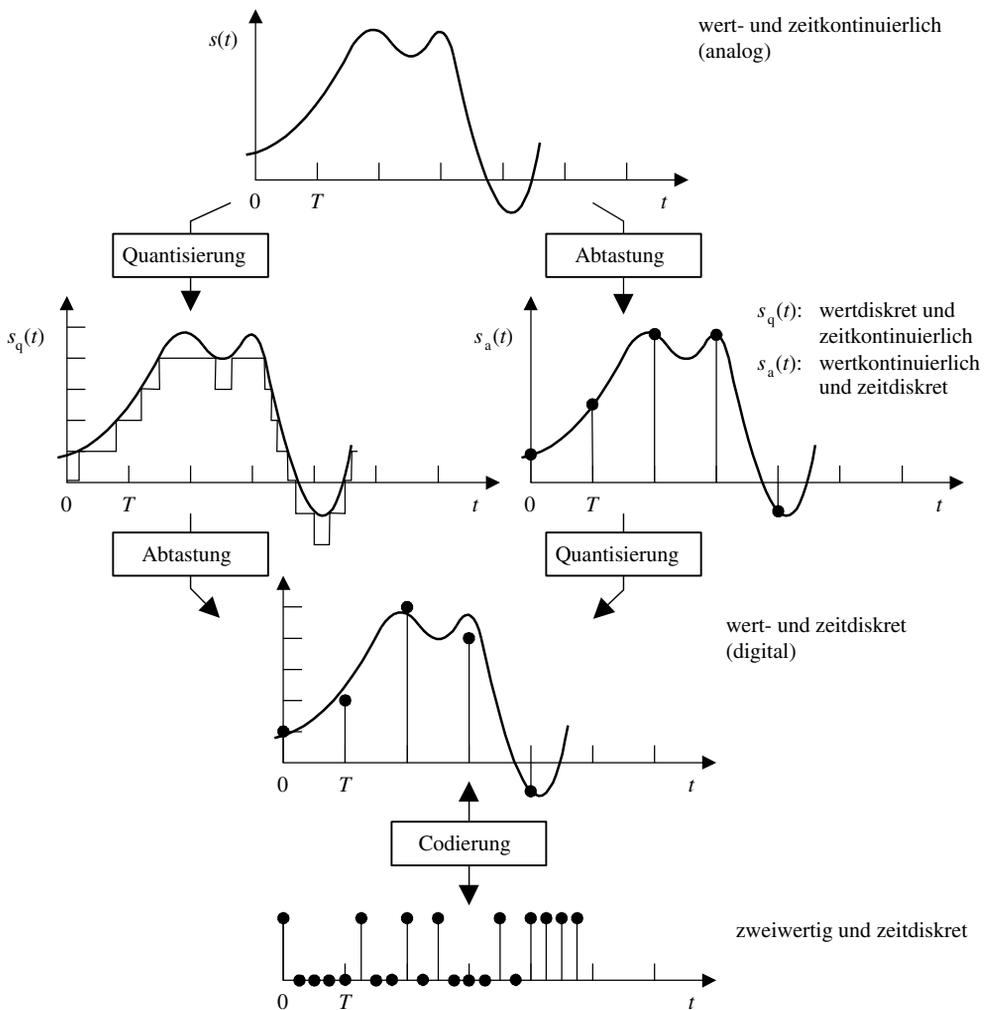


Bild 1.3 Zeit- und Wertdiskretisierung

Der technische Vorgang der A/D-Umsetzung beinhaltet nicht nur eine Wert- (→ Bild 1.2), sondern auch eine Zeitdiskretisierung (→ Bild 1.3). Abgesehen

von zusätzlichen Maßnahmen, die hierzu erforderlich sind (\rightarrow 14), bedeutet dies eine Einschränkung im darstellbaren Frequenzbereich des Signals.

1.1.3 Binäre Zustände

Ein besonders einfaches und nahezu ausschließlich genutztes digitales System ergibt sich durch Codierung der Signalwerte (\rightarrow 3) im zweiwertigen System, auch Binärsystem genannt (\rightarrow 3.2). Dies wird auch als **binäre** oder **binärwertige Digitaltechnik** bezeichnet.

Die mathematische Grundlage hierzu liefert die Boole'sche Algebra (\rightarrow 4), in der die Rechenregeln für binärwertige oder so genannte Schaltvariablen definiert bzw. abgeleitet sind. Jede digitale Größendarstellung wird hier auf die logischen Werte 0 und 1, auch als falsch/wahr bzw. false/true bezeichnet, zurückgeführt. Die Zeichen, die Werte aus einem zweiwertigen Zeichenvorrat annehmen können, heißen **Binärzeichen** oder **Bit** (*binary digit*).

Die Bedeutung dieser Codierung erwächst aus der technischen Realisierbarkeit der logischen Werte. Im Gegensatz zu einer rein theoretischen Betrachtung, wo viele Alternativen zum Einsatz kommen können, müssen in der Technik wesentliche Randbedingungen wie Reproduzierbarkeit, geringe Fehlerwahrscheinlichkeit, sparsamer Ressourcenverbrauch, Beständigkeit gegen Alterungserscheinungen, hohe Geschwindigkeit usw. erfüllt werden. Die Wertemenge $\{0, 1\}$ der binärwertigen Digitaltechnik kann durch leicht voneinander zu unterscheidende physikalische Zustände wie ein/aus, leitend/sperrend usw. dargestellt werden. Die für die Darstellung und/oder Speicherung von digitalen Werten genutzten Verfahren beruhen aktuell auf elektrischen, magnetischen oder optischen Wirkungen.

1.1.4 Zeichen, Alphabet und Code

Innerhalb der Digitaltechnik spielt die Codierung eine zentrale Rolle, da ständig Zeichen, Zahlen, Werte in vereinbarter Form dargestellt werden müssen.

Ein **Zeichenvorrat** ist eine endliche Menge von unterscheidbaren Dingen.

Ein **Zeichen** (*character*) ist ein Element des Zeichenvorrats. Ein **Alphabet** ist ein Zeichenvorrat mit einer *linearen Ordnung*.

Ein **Code** ist eine Vorschrift für die eindeutige Zuordnung der Zeichen eines Zeichenvorrats zu denjenigen eines anderen Zeichenvorrats (DIN 44 300).

- *Beispiel:* Der für die binäre Digitaltechnik wichtige **binäre Zeichenvorrat** ist $\{0, 1\}$, beide Elemente werden als **Binärzeichen**, die entstandene Zahl als Dualzahl bezeichnet (\rightarrow 1.4). In der technischen Darstellung (\rightarrow 2) werden diese Werte häufig durch Spannungen realisiert, wobei einer höheren Spannung das Zeichen H (High), einer niedrigeren das Zeichen L (Low) zugeordnet ist.

Die Zuordnung $0 \leftrightarrow L$ und $1 \leftrightarrow H$ ist eine umkehrbar eindeutige Codierung und wird als **positive Logik** bezeichnet, die Zuordnung $0 \leftrightarrow H$ und $1 \leftrightarrow L$ als **negative Logik**.

Beispiele für ein Alphabet sind der ASCII-, ISO 8859- und der Unicode (\rightarrow 3.2.5).

1.1.5 Mehrwertige Logik

Erfolgt die Codierung und technische Darstellung in mehr als zwei logischen Zuständen, wird von mehrwertiger Logik (*multi-value logic*) gesprochen. Anwendungen hierzu findet man in der Kommunikationstechnik, wo die binärwertigen Zustände 0 und 1 auf die Zustände 0, 1 und -1 mit der 1 (binär) alternierend auf 1 und -1 abgebildet werden (so genannte quasiternäre Darstellung zur gleichspannungsfreien Übertragung) /1.13/ und beispielsweise in speziellen Speicherbausteinen (\rightarrow 11.4.5) mit quaternärer Speicherung von digitalen Werten.

Die gleichspannungsfreie Übertragung kann durch Leitungscodes wie AMI (Alternate Mark Inversion) erfolgen. Hier wird eine logische 1 abwechselnd durch eine physikalische '1' und eine ' -1 ' auf der Leitung dargestellt. Da dies keine echte dreiwertige Logik ist, spricht man hier von quasiternärem Code.

Die Speicherung von 2 Bit pro physikalischer Zelle, aktuell durch einen oder mehrere Transistoren implementiert (\rightarrow 2), kann eine erhebliche Flächeneinsparung bewirken. Aktuell werden 2 Bits/Zelle in einigen Flash-EEPROMs (\rightarrow 11.4.5) gespeichert, es liegt dort eine 4-wertige oder quaternäre Speicherung vor.

Eine abweichende Bedeutung von mehrwertiger Logik ist in den Hardwarebeschreibungssprachen wie z. B. VHDL zu finden. Hier existieren Objekttypen wie `std_logic` (\rightarrow 7.3.1), die mehrere Werte aufweisen (hier: 9), um die Hardware besser zu modellieren.

1.1.6 Programmierbare digitale Systeme

Einer der wesentlichen Gründe für den Markterfolg ist in der nahezu beliebig *skalierbaren Präzision* (innerhalb der digitalen Systeme) zu sehen.

Noch weitergehender ist der Erfolg, der durch *programmierbare* digitale Systeme erzielt wurde und wird. Bei diesen Systemen, die erst durch die beim Nutzer mögliche Programmierung ihre endgültige Funktionalität erhalten, liegt eine Flexibilität vor, wie sie vorher durch keine andere Technologie erreichbar war.

Es ist daher auch zukünftig zu erwarten, dass sich die Digitaltechnik insbesondere in der binärwertigen, programmierbaren Form als eine der zentralen Technologien erhalten wird.

1.2 Klassifizierung von digitalen Schaltungen

Eine **digitale Schaltung** ist eine technische (elektronische, optische) Realisierung eines digitalen Systems, basierend auf endlich vielen diskreten Zuständen.

Die digitalen Schaltungen können anhand ihres Bezugs zur Zeit in zwei Arten klassifiziert werden: zeitunabhängige und zeitabhängige Schaltungen. Im Unterschied zu den meisten Rechneranwendungen, wo in Programmen eine algorithmische, aber keine zeitbezogene Beziehung vorliegt, ist diese Einbeziehung in der Digitaltechnik elementar.

1.2.1 Zeitunabhängige Schaltungen

Bei einer zeitunabhängigen Schaltung gibt es einen funktionalen Zusammenhang zwischen den Eingängen E und den Ausgängen A , der sich in einer einfachen Beziehung ausdrückt:

$$A = f(E) \quad (1.1)$$

Gl. (1.1) besagt, dass zu jedem Zeitpunkt die Ausgänge nur durch die zum gleichen Zeitpunkt betrachteten Eingänge eindeutig bestimmt werden (funktionaler Zusammenhang). Eine Eingangsänderung kann sich dann spontan in einer Ausgangsänderung bemerkbar machen. Die in der technischen Realisierung bedingten Laufzeiten werden in diesem Zusammenhang nicht weiter betrachtet.

Man beachte, dass die Zeitunabhängigkeit nicht zu statischen Schaltungen führt. Die zugehörige Klasse von digitalen Schaltungen wird Schaltnetz genannt:

Ein **Schaltnetz** ($\rightarrow 5$) ist eine schaltungstechnische Einheit zum Verarbeiten von Schaltvariablen, deren Wert an den Ausgängen zu einem Zeitpunkt nur von den Werten an den Eingängen zum gleichen Zeitpunkt abhängt.

Zeitunabhängige Schaltungen können durch entsprechende Entwurfsverfahren wie Wahrheitstabellen ($\rightarrow 4.1.2$) synthetisiert werden.

1.2.2 Zeitabhängige Schaltungen

Die Zeitabhängigkeit vieler realer Vorgänge beschränkt den ausschließlichen Einsatz von Schaltnetzen. Die Zeitabhängigkeit drückt sich dabei in einer Abhängigkeit des aktuellen Ausgangswerts von Eingangswerten zu früheren Zeitpunkten aus. Die zugehörige Klasse von digitalen Schaltungen wird Schaltwerke (Finite State Machine, FSM, $\rightarrow 6.3.1$) genannt:

Ein **Schaltwerk** ist eine schaltungstechnische Einheit zum Verarbeiten von Schaltvariablen, deren Wert an den Ausgängen zu einem Zeitpunkt nur von den Werten an den Eingängen zum gleichen Zeitpunkt und zu endlich vielen früheren Zeitpunkten abhängt.

Schaltwerke benötigen daher eine Gedächtnisfunktion, die in Form digitaler Speicher vorliegt (\rightarrow 6.3.1). Die Schaltwerke sind äquivalent zu den deterministischen endlichen Automaten der Informatik /1.6, Abschnitt 2.1.2/.

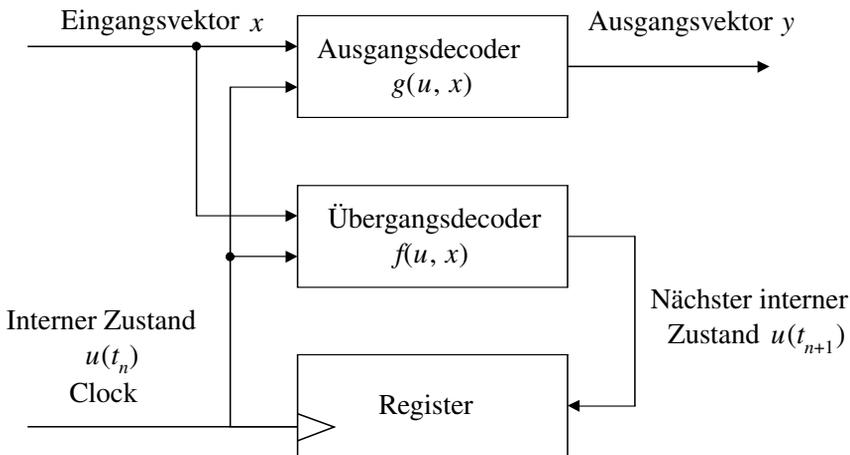


Bild 1.4 Modell des Mealy-Automaten zur Realisierung einfacher Schaltwerke

Die technische Realisierung nutzt meist ein Automatenmodell, das die Eingangswerte nicht direkt, sondern in umgerechneter Form speichert (Mealy-Automat, \rightarrow Bild 1.4). Im einfachsten Fall kann ein einziges Synchronisierungssignal (Takt, Clock, \rightarrow 6.3.1) genutzt werden. Die Nutzung eines expliziten Takts führt zu getakteten bzw. synchronen Schaltwerken. Der Übergangs- und der Ausgangsdecoder werden jeweils als Schaltnetz ausgeführt.

Die Bedeutung der Schaltwerke liegt darin, dass für den Fall einer einfachen Ausführung (nicht aufgeteilt in mehrere kommunizierende Schaltwerke) ein formaler Weg zur Synthese angegeben werden kann (\rightarrow 6.3.1). Das Ergebnis beinhaltet dann die Zeit in Form des Takts oder impliziter Signale hierfür.

1.3 Zielfunktionen

Die Digitaltechnik hat sich zur Unterstützung verschiedener Anwendungsbereiche entwickelt. Hier sind insbesondere Rechner- und Kommunikationstechnik zu nennen.

Allgemeine Zielfunktionen der Digitaltechnik in Theorie und praktischer Realisierung sind der effiziente Umgang mit Ressourcen (hierbei vor allem

Materialien in der Herstellung und Leistung beim Betrieb), Reproduzierbarkeit, Verlässlichkeit in jeder Form und Geschwindigkeit und Skalierbarkeit. Zu den wesentlichen Anwendungsgebieten kommen noch eigene Ziele sowie Schwerpunkte hinzu.

Ein allgemein anerkanntes Messsystem zur Beurteilung der Güte einer Anwendung auf Basis der Digitaltechnik fehlt zurzeit. Während für Zuverlässigkeit, Fehlersicherheit, Fehlertoleranz usw. bereits Maßsysteme (Metriken) existieren, mit deren Hilfe für die einzelnen Fälle Aussagen getroffen werden, gilt dies nicht für Rechengeschwindigkeit und Ressourceneffizienz im allgemeinen Fall. Hierdurch kann eine Optimierung nicht analytisch, sondern nur heuristisch für den Einzelfall erfolgen.

1.3.1 Zielfunktionen in der Rechnertechnik

Allgemeine Anwendungen der Digitaltechnik in Rechnern nutzen als primäre Zielfunktion Geschwindigkeit oder balancierte Geschwindigkeit. Die Geschwindigkeit moderner Digitalrechner, insbesondere von Servern, wird vorwiegend durch stetig **erhöhte Taktfrequenzen** sowie **Parallelverarbeitung** erreicht. Demgegenüber stehen eine Vielzahl von Anwendungen insbesondere batteriebetriebener Art, bei denen die mit *Takterhöhungen* verbundenen *Verlustleistungen* nicht akzeptabel sind. Hier wird auf ‚balancierte Geschwindigkeit‘ optimiert, meist in der Form akzeptabler Verlustleistung bei ausreichender Geschwindigkeit.

In besonderen Anwendungen der Rechnertechnik stehen **Echtzeitverhalten** (*real-time behaviour*) und/oder Zuverlässigkeit im Vordergrund. Diese Ziele können durch *Parallelisierung* kritischer Aufgaben (Tasks) mit erhöhtem Hardwareaufwand oder durch fehlertolerante Designs mit Mehrfachausführung der kritischen Aufgaben gelöst werden.

Eingebettete Systeme (*embedded systems*) sind die durch die Integration eines Rechners oder allgemein digitalen Systems in eine Maschine mit anderem Aufgabenbereich gekennzeichnet. Hier lautet die Zielfunktion meist Minimierung der Kosten bei festgelegter Funktionalität, zunehmend auch Minimierung der elektrischen Verlustleistung.

Die Speicherung von Daten und Programmen nutzt Zielfunktionen und Methoden, die auch in der Kommunikationstechnik bekannt sind. Hierzu zählen **Gruppencodierungen** von Zeichen und Informationen zur **Fehlererkennung** bzw. **-behebung**.

1.3.2 Zielfunktionen in der Kommunikationstechnik

Die Kommunikationstechnik hat den Austausch von Informationen zwischen Kommunikationspartnern zum Ziel /1.13/, /1.14/. Hierbei stehen die Übertra-

gungssicherheit und -effizienz im Vordergrund. Dabei bedeutet Effizienz, die Informationen mit möglichst wenig Zeit- und Energieaufwand zu übermitteln. Die wesentlichen Ziele, die hierfür erreicht werden müssen, sind effiziente Codierungen, die nahe am theoretisch möglichen Minimum liegen, sowie Maßnahmen zur Fehlererkennung und -behebung.

1.3.3 Weitere Zielfunktionen

Neben den erwähnten drei wichtigen Zielfunktionen (→ Bild 1.5, 3 Ps: Power, Performance, Price) und der Verlässlichkeit (Reliability) existieren noch spezielle Zielfunktionen, z. B. für die datentechnische Sicherheit (Security).

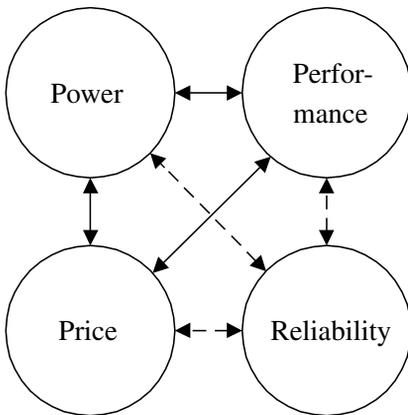


Bild 1.5
Zusammenfassung
der Zielfunktionen

Die Spannweite solcher sicherheitstechnischer Funktionen reicht von der Verschlüsselung der Daten gemäß bekannter Verfahren bis hin zur Beeinflussung der digitalen Schaltungstechnik zur Verschleierung der aktuellen Aktivitäten, um nicht aus der zeitlich variierenden Leistungsaufnahme auf die Vorgänge schließen zu können /1.15/.

1.4 Einheiten und Größen der Digitaltechnik

Die kleinste, zu verarbeitende, übertragende oder speichernde Informationseinheit in der binärwertigen Digitaltechnik ist das **Bit** (Binary Digit). Dieses Bit kann zwei Werte annehmen, die abstrahierend von der jeweiligen physikalischen Darstellung als **Binärzeichen** 0 und 1 (→ 1.1.4) bezeichnet werden /1.12/.

Ein **Maschinenwort**, auch als **Binärwort** bezeichnet, ist eine endliche, geordnete Folge von Binärzeichen. Dieses Binärwort codiert die Zeichen des zulässigen Alphabets.

Die Anzahl der Binärzeichen eines Maschinenworts heißt *Wortlänge* n und wird in der Zählinheit Bit angegeben. Üblich ist die Angabe von **Byte** für die

Wortlänge $n = 8$. Bei größeren Vielfachen von Bit oder Byte, insbesondere bei digitalen Speichern ($\rightarrow 11$), werden in der Praxis meist die Vielfachen K, M und G verwendet:

$$1 \text{ K} = 10^3 \approx 2^{10} (= 1\,024)$$

$$1 \text{ M} = 10^6 \approx 2^{20} (= 1\,048\,576)$$

$$1 \text{ G} = 10^9 \approx 2^{30} (= 1\,071\,693\,824)$$

$$1 \text{ Byte} = 8 \text{ Bit}$$

$$1 \text{ Kbit} = 1\,024 \text{ Bit}$$

$$1 \text{ Mbit} = 1\,048\,576 \text{ Bit}$$

Um die leichten Differenzen zwischen klassischer Bedeutung der Vielfachen im Zehnersystem und der Bedeutung im binären System zu beheben, wurde Ende der 1990er-Jahre vom International Electrotechnical Council (IEC) beschlossen, die bisherigen Bezeichnungen K, M und G ausschließlich für Vielfache im Dezimalsystem zu verwenden und im Binärsystem neue Vielfache einzuführen ($\rightarrow 11.2.3$):

$$1 \text{ KibiByte} = 1\,024 \text{ Byte}$$

$$1 \text{ MebiByte} = 1\,048\,576 \text{ Byte}$$

$$1 \text{ GibiByte} = 1\,071\,693\,824 \text{ Byte}$$

Trotz dieser Eindeutigkeit der Darstellung werden in der Praxis gerne noch die dezimalen Vielfachen auch in binären Systemen verwendet. Insbesondere werden auch Datenraten in Kommunikationssystemen meist im Dezimalsystem angegeben.

- *Beispiel:* Angabe der Speicherkapazität bei Festplatten. Hier werden die Kapazitäten im Dezimalsystem angegeben.

Sachwortverzeichnis

A

- Abbild 104
- aborted fault 274
- Abschneidefehler-Rückkopplung 434
- Abstraktion 181
- Abstraktionsebene 183, 199
- Abtaster 446
- Abtasttheorem, nach NYQUIST und SHANNON 424
- Abtastung 423
- Accelerator-Coherence-Bus 386
- access time 308
- across 246
- Actel 406
- ADC 421, 436, 440
 - , Abtastung 423
 - , Alias-Effekt 424
 - , Aperturfehler 436
 - , Auflösung 428
 - , bipolarer 437
 - , Codierung 437
 - , Delta-Sigma-Modulation 439
 - , digitales System 422
 - , Diskretisierung 423
 - , Dual Slope 444
 - , Funktionsblöcke 436
 - , Grundprinzip 437
 - , Integrationsverfahren 439
 - , Kenngrößen 428
 - , Kennlinienfehler 428
 - , Parallelverfahren 439
 - , Quantisierung 423 f., 437
 - , Quantisierungsrauschen 426
 - , Sample & Hold 436
 - , Sigma-Delta-Modulator 446
 - , Signal to Noise Ratio 426
 - , SNR 426
 - , sukzessive Approximation 438, 443
 - , Umwandlungsrate 428
 - , unipolarer 437
 - , Zählverfahren 438
- A/D-Converter 22
- Addierer 134, 189, 430
 - , carry look-ahead 134, 196
 - , Festkomma- 240
 - , Festkommaaddierer 131
 - , Halbaddierer 130, 259
 - , Ripple-Carry- 194, 240
 - , sequenzieller 190
 - , Überlauf 132
 - , Übertrag 132
 - , Volladdierer 131, 261
- Addition 130, 133
 - , Bereichsüberschreitung 132
 - , carry look-ahead 134, 196
 - , Festkommaaddierer 131
 - , Halbaddierer 130
 - , Übertrag 132
 - und Subtraktion 133
 - , Volladdierer 131
 - von 2er-Komplementzahlen 132
- Additionssystem 62
- Addressing Mode 375
- adjazente binäre Codierung 166
- Adressbus 359
- Adressfehler 285
- Adressierungsart 358, 375
 - , direkte Adressierung 375
 - , implizierte Adressierung 376
 - , indizierte Adressierung 376
 - , Registeradressierung 376
 - , registerindirekte Adressierung 376
 - , unmittelbare Adressierung 375
- Adressierungsprinzip 306
- Adress-Multiplex-Mode 307
- Adresswerk 358
- ADU 421
- AD-Umsetzer 422
- Advanced Bus Interface Unit 386
- Aggressorleitung 271
- AGP 398
- Aiken-Code 72
- AIM 328
- Akkumulator 353
- Akzeptor 33
- A-law-Kennlinie 425
- Algorithmic-State-Machine 189
- algorithmische Ebene 184
- algorithmische Synthese 207
- Algorithmus, Quine-McCluskey- 212
- Alias-Effekt 424
- aliasing 283

- Allocation 184, 209
 Alphabet 20, 23
 Altera 406
 Alternate Mark Inversion 24
 ALU 353, 355
 always 252
 AMBA3 385
 AMI 24
 Amplitudenmodulation 100
 AMR 341
 Analog to Digital Converter 421
 Analog/Digital-Umsetzer 22, 421, 436
 analoges Signal 20
 Analogfilter 434
 Analogisierung 421
 Analogsimulation 198
 AND 105
 Anfangsbedingung 245
 Anisotropic Magneto Resistance 341
 Anti-Aliasing-Filter 424
 Anti-Fuse 399, 404
 Antivalenz 105
 Anweisung 226
 –, nebenläufige 252
 –, sequenzielle 234, 237, 252
 Aperturfehler 436
 Approximation, sukzessive 438, 442 f.
 äquidistantes Zahlenformat 68
 Äquidistanz 68
 Äquivalenz 105
 architecture 233
 Arithmetic-Logical Unit 353, 355
 arithmetische Codierung 86
 arithmetischer Befehl 374
 ARQ 89
 array 228
 ASCII 72
 ASIC 179, 196, 291, 391
 –, Backend-Design 196
 ASIP 299
 ASM-Chart 189
 ASPP 291
 Assembler, Boole'scher 408
 assign 251
 Assoziativgesetz 107
 Assoziativspeicher 304
 ASSP 291
 asynchrone Cores 390
 asynchrone Rückkopplung 125, 137,
 140
 asynchrone Schaltung, Designregeln
 140
 asynchroner Systembus 363
 asynchroner Zähler 154, 174
 asynchrones Flipflop 144
 asynchrones Schaltwerk 154
 asynchrones SRAM 311
 ATE 266
 ATPG 274
 Ätzen 36
 Audiokompression 88
 Auflösung 267, 428, 446
 Auflösungsfunktion 227 f.
 Ausbeute 266, 268
 –, Stapper-Modell 268
 Ausbeutemodell 268
 Ausflachung 213
 Ausführungszustand 205
 Ausgangskegel 272
 ausgangssignalbezogene Codierung
 166
 Ausgangstabelle 163
 Ausgangszelle 410
 Ausnahme 368
 Automat 26, 391
 –, Mealy- 26, 156
 –, Medwedjew- 156
 –, Moore- 156
 Automated Repeat on Request 89
 Automatenmodell 26
 Automatic Test Equipment 266
 automatische Testmustererzeugung
 274
 Automatisierungstechnik 78
 average power 280
- B**
- Backend-Design 196
 b-adische Zahlendarstellung 63
 Band, erlaubtes 31
 –, verbotenes 31
 Bandbreite 96 f.
 Bankswitching 318
 Basic Multilingual Plane 74
 Basis 42
 Basisoperation 392
 BCD-Code 72
 BCU 281

- BDD 220
–, Reduced Ordered 220
–, ROBDD 220
BEDO-RAM 319
Befehl, arithmetischer 374
–, logischer 374
Befehlsbearbeitungszyklus 357
Befehlsliste 375
Befehlssatz 374
Befehlszähler 354
Befehlszyklus 361
–, execute 361
–, instruction fetch and decode 361
Belichtungsmaske 290
Benchmark 351
Bereichsüberschreitung 132 ff.
Beschreibungsebene 180
Bezeichner 226
Bibliothek, proprietäre 300
BiCMOS 59
Big-Endian 64, 352
Bildkompression 88
Binärcode 130, 429
binäre Codierung 166
binäre Digitaltechnik 23
binärer Baum 438
binäres Signal 20
binärgestufte Stromquelle 432
Binär/Gray-Code-Umsetzer 130
Binärsystem 63
Binärwort 28
Binary Decision Diagram 220
binary digit 23, 301
Binärzeichen 23, 28
Binding 210
Bipolar-CMOS-Logik 59
Bipolar-Code 99
Bipolardiode 39
bipolarer ADC 437
bipolarer Betrieb 430
Bipolartransistor 42
–, *npn*- 42
BIRA 285
BISR 285
BIST 280
–, March-Test 285
BIST Control Unit 281
bistabile Kippstufe 152
bistabiler Multivibrator 310
bistabiles Kippglied 143
BIST-Steuereinheit 281
Bit 23, 28, 79, 301
Bitkonstante 226
Bitmanipulationsbefehl 375
bit_vector 227
Block-Burst-Modi 320
Blockcode 76, 89
BLVDS 398
BMP 74
BOHR, NIELS 30
Bohr'sche Postulate 30
Boltzmann-Konstante 32
BOOLE, GEORGE 102
boolean 227
Boole'sche Algebra 19, 23
–, Symmetrie 108
Boole'sche Funktion 103–106, 125, 128
–, minimieren 112, 116
Boole'sche Postulate 102
Boole'scher Assembler 408
Boole'scher Operator 102
Boot-Speicher 391, 400
Bottom-Up 188
Boundary Scan 286
Boundary Scan Description Language 288
Boundary Scan Path 286
BPSK 101
Branch-History-Tabelle 379
Brown-Williams-Formel 276
Brückenfehler 269
BSDL 288
BS-Pfad 286
Buffer 104
Built-In Redundancy Analysis 285
Built-In Self-Repair 285
Built-In Self-Test 280
–, March-Test 285
Bulk 43
Burst-Mode 320
Burst-Refresh 317
Burst-SRAM 312
Bussignal, zeitlich gemultiplextes 364
Bussteuerung 362
Bypass 395
Byte 28

C

- C 184
- Cache 379 f.
 - Hit 380
 - , Hitrate 381
 - Miss 380 f.
 - , Trefferrate 381
- Cache Only Memory AccessArchitecture 383
- Cache-Aufbau 380
- Cache-Ebene 379
- Cacheline 380
- Cache-Speicher 351, 379
- Cache-Speichersystem 304
- Cadence 250
- CAM 304
- carry look-ahead 134, 196
- Carry-Flag 356, 372
- Carry-Look-Ahead-Struktur 196
- CAS 307, 315 f.
- CAS-BEFORE-RAS-Refresh 316
- case 256
- cause effect principle 274
- Central Processing Unit 345
- channel 258
- character 23
- Charakteristik 69
- charakteristisches Polynom 178, 282
- Chip 444
 - , System on 221, 294
- Chipfertigung 34
- Chip-integrated Multiprocessing 383
- Chip-Layout 290
- Chipmontage 34
- Chip-Multiprocessing 383, 389
- Chiptest 34
- CISC 368
- CISC-Prozessor 369
- CLB 194, 214
- clock skew 168, 219
- CMOS 47, 54, 196, 310
- CMOS-Inverter 61
- CMP 383, 389
- Code 23, 76
 - , ASCII- 72
 - -Baum 76
 - , BCD- 72
 - , binärer 76
 - , Bipolar- 99
 - , Block- 76, 89
 - , CRC- 91 f.
 - , Cyclic Redundancy Check 91
 - , differenzieller Manchester- 100
 - -Distanz 90
 - , einschrittiger 77
 - , Faltungs- 90
 - , Fano-Bedingung 77
 - , fehlererkennender 89 f.
 - , fehlerkorrigierender 89, 94
 - fester Länge 76
 - , Gray- 72
 - , Hamming- 94
 - , Huffman- 83
 - , ISO 8859 73
 - , Leitungs- 98
 - , Manchester- 99
 - , Matrix- 96
 - , Morse- 76
 - , NRZ- 98
 - , NRZI- 98
 - , One-Hot- 78
 - , Paritäts- 90
 - , präfixfreier 77
 - , progressiver 77
 - , RZ- 98
 - , Stibitz- 72
 - , systematischer 78
 - , Tetraden- 71
 - , Uni- 74
 - , Zeichen- 72
 - , zyklischer 78
- Code-Baum 76
- Code-Distanz 90
- Codesign 222
- Codespeicher 325, 392, 398, 416
 - , Speichertechnologie 399
- Code-Umsetzer 129
 - , Binär/Gray-Code-Umsetzer 130
 - , Prioritäts-Encoder 129
- Codewort 76, 130
- Codewortlänge, mittlere 77
- Codierung 23, 28, 75, 437
 - , adjazente binäre 166
 - , arithmetische 86
 - , Audio- und Video- 88
 - , ausgangssignalbezogene 166
 - , binäre 63, 166
 - , Bipolar- 99
 - der Zustände 159, 166, 207
 - , differenzielle Manchester- 100

- , Fano- 82
 - , Huffman- 83
 - , Kanal- 89
 - , Lauflängen- 84
 - , Leitungs- 98
 - , Lempel-Ziv- 85
 - , Manchester- 99
 - , NRZ- 98
 - , NRZI- 98
 - , One-Hot- 166
 - , Quellen- 78
 - , RZ- 98
 - , semantische 82
 - , Sprache 87
 - , statistische 81
 - , Substitutionsverfahren 82
 - , verlustbehaftete 75, 78
 - , verlustfreie 75, 78
 - von Zahlen 63
 - Codierungstheorem von SHANNON 81
 - Cologne Chips 406
 - column address strobe 307, 315
 - column decoder 306
 - COMA-Architektur 383
 - Complementary MOS 47, 54
 - Complex Instruction Set Computer 368
 - component 239
 - Computer 344
 - , CPU 345
 - , Eingabe-/Ausgabe-Einheit 346
 - , Harvard-Architektur 346
 - , Interrupt-Konzept 346
 - , Master-Slave-Prinzip 346
 - , Speicher 345
 - , Von-Neumann-Architektur 346
 - Computerprogramm 345
 - Computing in Space 22
 - Computing in Time 22
 - configuration 233
 - constant 230
 - Constraints 207 f., 210, 212 f.
 - , Codierung der Zustände 207
 - , Platzbedarf 207
 - , Taktfrequenz 207
 - Content Addressable Memory 304
 - control hazard 378
 - Control Register 355
 - control unit 357
 - Coprozessor 390
 - Core 290, 296, 390
 - Cortex-A9 385 f.
 - CPI 351
 - CPLD 179, 291, 403, 405, 412
 - , Basisarchitektur 413
 - , Datenspeicher 415
 - , Erweiterungen 413
 - , hierarchische Organisation 416
 - , Input/Output 412
 - , PAL-Struktur 412
 - , PLA-Architektur 414
 - , Product Term Sharing 414
 - , Routing 412
 - , XOR-Layer 415
 - CPLD-Implementierung 195
 - cpp-Datei 259
 - CPU 345, 353
 - CRC 178
 - CRC-Code 91
 - , Generatorpolynom 92
 - critical path 167
 - crosstalk fault 271
 - C-Schnittstelle 200
 - CTT 398
 - cycle based simulation 200
 - Cyclic Redundancy Check 91
- ## D
- D-Flipflops 440
 - DAC 421, 429
 - , bipolarer Betrieb 430
 - , digitales System 422
 - , Einschwingzeit 428
 - , Grundprinzip 429
 - , Kenngrößen 428
 - , Kennlinienfehler 429
 - mit Pulsweitenmodulation 433
 - mit Widerstandskettenleitern 430
 - , R-2R-Widerstandsnetz 431
 - , Sigma-Delta-Modulation 434
 - D/A-Converter 22
 - data hazard 378
 - data retention 309
 - Datenbus 359
 - Datenerfassung 444
 - Datenflussbeschreibung 224
 - Datenkonflikt 378
 - Datenpfad 182, 209
 - Datenquelle, gedächtnislose 79
 - , Shannon'sche 79

- Datenrate 97
- Datenverfügbarkeit 304
- DAU 421
- DA-Umsetzer 422
- DDR2-SDRAM 322
- DDR3-SDRAM 322
- DDR-RAM 321
- De Morgan'sches Gesetz 108
- DEA 26
- Decoder 260
- deduktive Fehlersimulation 273
- default 261
- Defaultwert 235
- Defekt 267
- Defektdichte 268
- Defektlevel 276
- Dekomposition 214
- Delay, Delta- 202
 - , Inertial- 202
 - , Transport- 203
- delay fault 270
- Delay Time 152
- Delta-Sigma-Modulation 439
- Delta-Delay 202, 206
- Demultiplexer 127 f., 399
 - , Steuervektor 127
- Design, Semi-Custom- 292
- Design by Reuse 180, 222
- Design for Reuse 295
- Design for Testability 157, 279
- Design for Use 295
- Design Productivity Gap 221
- Design-Flow 181
- Design-Haus 297
- Designphase 179
- Designraum 393, 403, 417
- Designverfahren 21
- Designverifikation 186, 215
- deterministischer endlicher Automat
 - 26, 391
- Device Under Test 216, 262
- Dezibel 97
- Dezimation 439
- D-Flipflop 146, 148, 154, 174 f.
 - , flankengesteuertes 141
 - , taktflankengesteuertes 148
 - , taktzustandsgesteuertes 146
- DFT 157
- DfT-Rules 279
- Differenzgröße 246
- Differenzialgleichung 200
 - differenzieller Linearitätsfehler 428 f.
- Diffusionsstrom 40
- Digital to Analog Converter 421
- Digital/Analog-Umsetzer 22, 421, 429
- digitale Funktion 102
- digitale Schaltung, Stabilität 135
- digitale Signalverarbeitung 21
- digitaler Signalprozessor 68, 350
- digitales Schaltwerk 291
- digitales Signal 20
- digitales System 24
 - , Modell 422
- Digitalisierung 421
 - von Bildsignalen 441
- Digitalrechner 27
- Digitalsimulation 198
- Digitaltechnik 19, 21
 - , balancierte Geschwindigkeit 27
 - , binäre 23
 - , binärwertige 23
 - , Codierung 28
 - , Geschwindigkeit 27
 - , programmierbare 24
 - , quaternäre 24
 - , ternäre 24
 - , zeitabhängige 25
 - , zeitunabhängige 25
 - , Zielfunktion 26, 28
- Digitalvoltmeter 445
- digitus 20
- Diode, Schottky- 40
- Dioden-Transistor-Logik 50
- Disjunktion 103
- disjunktive Minimalform 112, 116
- disjunktive Normalform 110 f., 393
 - , invertierte 395
- Diskretisierung 20, 423
 - der Zeit 158
- Distanz, Code- 90
 - , Hamming- 90
- distributed refresh 317
- Distributivgesetz 107
- divalentes Metall 32
- D-Kalkül 271
- D-Latch 235
- DMF 112
- DNF 110, 393
 - , invertierte 395
- Dokumentation 186

- Donator 33
don't care 118
Dotierung 36
Double-precision-Format 71
Drain 43
DRAM 305, 307, 309
–, bankswitching 318
–, Baustein 314
–, BEDO-RAM 319
–, Burst-Block Modi 320
–, burst-refresh 317
–, Cache 324
–, CAS 315
–, CAS-BEFORE-RAS-Refresh 316
–, column address strobe 315
–, DDR 321
–, distributed refresh 317
–, double data rate 321
–, EDO-RAM 318
–, Embedded 324
–, external refresh 317
–, Graphics Double Data Rate 324
–, hidden-refresh 317
–, Lesezyklus 315
–, page mode 318
–, Pseudo Static 324
–, RAS 314
–, RAS-ONLY-Refresh 316
–, Refresh 314, 316
–, row address strobe 314
–, Schreibzyklus 315
–, Speicherzelle 313
–, synchrones 320
DRAM-Baustein 314
DRAM-Speicherzelle 313
DSP 68, 350
DTL 50
Dual Slope 439, 444
duale Funktion 109
Dualitätsprinzip 108
Dualsystem 63
Dualzahl 23
Durchlaufzeit 158, 167
DUT 216, 244, 262
dynamische Sprungvorhersage 379
dynamisches RAM 305
- E**
E/A-Gerät 346
Ebene, algorithmische 184, 189
–, Floorplan- 184
–, Gatter- 185
–, Layout- 185
–, Register-Transfer- 185, 198
–, Spezifikations- 184
–, Transistor- 185
Echtzeitverhalten 27
ECL 52
EDA 181
EDIF 194
EDO-RAM 318
EEMBC 351
EEPROM 24, 325, 330, 392, 400
–, Flash- 333
–, FLOTOX-Transistor 330
–, Lesen 332
–, Löschen 332
–, Programmieren 331
effect cause principle 274
Eigenhalbleiter 33
Eigenleitfähigkeit 33
1er-Komplement 64
Eingabe-/Ausgabe-Einheit 346, 364
Eingangskegel 272
eingebetteter Test 284
eingebettetes System 27
Einkomponentenübergang 137, 140,
142
Einschwingzeit 428
Eins-Theorem 103
Einzelfehler 269
Einzelfehlerannahme 274
Elaboration 208
ELDO 199
Electrically Erasable Programmable
Read-Only Memory 325
Electromagnetic Interference 184
Electronic Design Automation 181
Electronic Design Interchange Format
194
Electronic System Level 184
Eliminieren von Hazards 137
Embedded Microprocessor Benchmark
Consortium 351
Embedded SoC 221
embedded system 27, 309
Embedded System on Chip 187
Embedded-Array 294
EMI 184
Emitter 42
Emitter Coupled Logic 52

- Endian, Big- 64
 –, Little- 64
 endlicher Zustandsautomat 156
 Endurance 309
 Energieband 31, 41
 Energieniveau 31
 Energiezustand 30
 entity 231, 239
 Entropie 79 f.
 –, maximale 80
 Entscheidungsgraph, geordneter
 binärer 123
 Entwicklungsphase 179
 Entwurf 179
 –, prüfgerechter 277
 Entwurf endlicher Zustandsautomaten
 158
 –, Ausgangstabelle 162
 –, Codierung der Zustände 159
 –, Schaltwerktafel 162
 –, Zustandsfolgetabelle 162
 –, Zustandsminimierung 159
 Entwurfskomplexität, Abstraktion 295
 –, Hierarchisierung 295
 Entwurfsprozess 180 f.
 –, Abstraktion 181
 –, Hierarchie 182
 –, Konkretisierung 190
 –, Partitionierung 182
 –, Platzierung 182
 –, Strukturierung 182, 190
 –, Verdrahtung 182
 Entwurfsraum 212 f.
 Entwurfsstil, Bottom-Up- 188
 –, Top-Down- 188
 Entwurfsverfahren 21
 Entwurfsverifikation 215
 enum_encoding 210
 EPIC 382
 EPROM 325, 328, 400
 –, FAMOS-Transistor 329
 –, Löschen 329
 –, Programmierung 329
 –, Speicherzelle 328
 Erasable Programmable Read-Only
 Memory 325
 ereignisgesteuerte Simulation 200, 204
 Ereignisliste 204
 erlaubtes Band 31
 Error 266
 ESL 184, 209
 Espresso-Algorithmus 212
 'event 231
 Event, Signal- 204
 Exception 368
 execute 361
 Explicit Parallel Instruction Computing
 382
 Exponent 68
 external refresh 317
 externe asynchrone Rückkopplung 137
 externer Taktversatz 168
 extrinsischer Halbleiter 33
 Exzess-3 72
- F**
 Faltungscodierung 90
 FAMOS-Transistor 329 f.
 –, Löschen 329
 –, Programmierung 329
 Fano-Bedingung 77
 Fano-Codierung 82
 Fault 266
 fault dictionary 275
 Fax-Protokoll 85
 feature size 323
 FEC 89
 FeFET 339
 Fehler 266
 –, crosstalk fault 271
 –, Defekt 267
 –, delay fault 270
 –, -diagnose 267
 –, -erkennungswahrscheinlichkeit 273
 –, Error 266
 –, Fault 266
 –, -injektion 271
 –, -lokalisierung 267
 –, Pfadverzögerungs- 271
 –, -propagation 271
 –, -reduktion 272
 –, SEU 268
 –, -simulation 271, 273
 –, Single Event Upsets 268
 –, stuck at 267
 –, transienter 268
 –, Übergangs- 270
 –, Übersprech- 271
 –, Verzögerungs- 270
 Fehlerabbruch 274

- Fehlerdiagnose 267
Fehlereffizienz 267
Fehlererfassung 267
fehlererkennender Code 89 f.
Fehlererkennungswahrscheinlichkeit 273
Fehlerinjektion 271
fehlerkorrigierender Code 89, 94
Fehlerlokalisierung 267
Fehlermodell 267 f.
–, Brückenfehler 269
–, Haft- 269
–, Zellenfehler 269
Fehlerpropagation 271
Fehlerquelle, punktuelle Störung 266
–, systematischer Effekt 266
Fehlerreduktion 272
Fehlersicherheit 27
Fehlersimulation 198, 271, 273
–, deduktive 273
–, nebenläufige 273
Fehlertoleranz 27
Fehlerüberdeckungsgrad 199
Fehlerwörterbuch 275
Feldeffektransistor 43 f.
FeRAM 338
–, Speicherzelle 339
Fermi-Energie 32
Fermi-Niveau 32
Ferroelectric RAM 338
Festkommaaddierer 131
Festkommaformat 67
Festkomma-Subtraktion 133
Festkommazahl 21, 130
Festwertspeicher 304, 324
FET 43
–, Sperrschicht- 46
Field-Programmable Gate Array 291, 403 f., 417
–, arithmetische Funktionen 420
–, Datenspeicher 419
–, Designraum 417
–, LUT-Zusammenfassung 419
–, Routing 417
–, Timing 417
Filter, Analog- 434
–, Anti-Aliasing- 424
–, Transversal- 434
Finite Impulse Response 434
Finite State Machine 25, 156, 185, 188
FIR 434
firing rule 165
Firm-Makro 296
First-Level-Cache 379
Flag 356
Flagregister 354, 372
flankengesteuertes D-Flipflop 141
Flash-ADC 440
Flash-EEPROM 24, 325, 333, 400
–, Bausteine 336
–, MLC 334 f.
–, Multi Level Cell 334
–, NAND- 334
–, NOR- 334 f.
–, Single Level Cell 334
–, SLC 334 f.
–, SONOS-Speicherzelle 337
–, Speicherzelle 333
flattening 213
Fließkommaformat 69
Flipflop 139 f., 143, 175, 393, 395
–, asynchrones 144
–, D- 141, 146, 148, 154, 174 f., 395, 400
–, delay time 152
–, funktionale Gliederung 144
–, Haltezeit 152
–, hold time 152
–, JK- 147 f., 150, 154, 176, 395
–, Latch 395
–, Master-Slave- 147
–, Module-*n*-T- 175
–, Pulsdauer 152
–, pulse width 152
–, RS- 138 ff., 144, 148, 150, 174, 395
–, setup time 150, 167
–, Setzzeit 150, 167
–, synchrones 144 f., 154
–, T- 148, 174, 176, 395
–, taktflankengesteuertes 144, 148
–, taktgesteuertes 144
–, taktzustandsgesteuertes 144 f.
–, Timing-Bedingung 167
–, Toggle- 148
–, Verzögerungszeit 152
–, Zeitverhalten 150
–, zweiflankengesteuertes 150
Floating Gate 328, 400
–, FAMOS-Transistor 329

Floating Gate Avalanche MOS-
 Transistor 329
 Floating Gate Tunnel Oxide Transistor
 330
 floating point number 69
 Floating Point Unit 355
 Floorplan-Beschreibung 184
 Floorplanning 215, 221
 FLOTOX-Transistor 330
 Flussgröße 246
 Flussrelation 165
 Folgeknoten 123 f.
 for 256
 forever 256
 Forward Error Correction 89
 FPGA 179, 291, 403 f., 406, 417
 –, Architektur, erweiterte 418
 –, arithmetische Funktionen 420
 –, Basisarchitektur 417
 –, Codespeicher 420
 –, Datenspeicher 419
 –, Designraum 417
 –, Erweiterungen 418
 –, LUT-Zusammenfassung 419
 –, Routing 417
 –, Timing 417
 FPGA-Implementierung 193
 FPU 355
 FRAM 338
 –, Speicherzelle 339
 Freeware 297
 Freigabesignal 237
 Frequenzmodulation 101
 Frequenzteiler 173
 FSM 25, 156
 Full-Custom-Design 292
 function 241
 Funktion 241
 –, Boole'sche 103–106, 125, 128
 –, Boole'sche, minimieren 112, 116
 –, digitale 102
 –, duale 109
 funktionaler Test 276
 Funktionsfehler, komplexer 269
 Funktionsspeicher 305
 Funktionstabelle 138
 fusible link 327, 399
 fuse 327
 Fuse-Technologie 399

G

Gajski-Diagramm 224
 GAL 403, 408
 GAL/PAL 16V8 408 f.
 –, Ausgangszelle 409 f.
 –, Betriebsmodi 409
 –, Pinbelegung 410
 GAL/PAL 22V10 408, 410
 –, Ausgangszelle 411
 –, ispGAL22V10 412
 –, Pinbelegung 411
 Gate 43
 gate leakage 38
 Gate-Array 293
 –, MGA 293
 Gateoxid 44
 Gatter 125
 Gatterebene 185
 Gatterlaufzeit 58, 150, 155
 Gatterprimitive 251
 Gatterverzögerungsfehler 270
 Gatterzellenbibliothek 185
 GDS-II-Format 185
 gedächtnislose Datenquelle 79
 General Purpose Register 353
 generate 240
 Generatorpolynom 92
 generic 232
 Generic Array Logic 403
 Generic Interrupt Controller 386
 generic map 241
 geometrisch physikalische Sicht 179
 geschaltete Stromquelle 432
 Giant Magneto Resistance 341
 GibiByte 308
 gleichmäßige Quantisierung 425
 Gleitkommaarstellung 130
 Gleitkommaformat 68
 Gleitkommazahl 21
 Glitches 155
 GMR 341
 grafische Modelleingabe 188
 Gray-Code 72, 130
 –, erweiterter 72
 Grenzfrequenz 96
 Großschreibung 226, 250
 ground 53
 Grundverknüpfung 110
 GTL 398
 GTL+ 398

H

- Haftfehler 267
- Halbaddierer 130, 132, 261
- Halbleiter 32 f.
 - , extrinsischer 33
 - , intrinsischer 33
 - , *n*-leitender 33
 - , *p*-leitender 33
 - , Skalierung 36
- Halbleiterspeicher 301 f.
 - , Adress-Multiplex-Mode 307
 - , CAM 304
 - , Content Addressable Memory 304
 - , data retention 309
 - , Datenverfügbarkeit 305
 - , DRAM-Speicherzelle 313
 - , EEPROM 325, 330
 - , Einteilung 302
 - , Endurance 309
 - , EPROM 325
 - , EPROM-Speicherzelle 328
 - , FAMOS-Transistor 329
 - , feature size 323
 - , FeRAM 338
 - , FeRAM-Speicherzelle 339
 - , Ferroelectric RAM 338
 - , Flash-EEPROM 325, 334
 - , FLOTOX-Transistor 330
 - , flüchtiger 304, 310
 - , FRAM 338
 - , Integrationsgrad 323
 - , Interleaving 318
 - , Masken-ROM 325
 - , Matrix- 303
 - , MRAM 340
 - , MRAM-Speicherzelle 341
 - , nichtflüchtiger 304, 324
 - , nichtvolatiler 304
 - , NVRAM 337
 - , OTPROM 325, 327
 - , persistenter 304
 - , Phase Change RAM 341
 - , PROM 325, 327
 - , RAM 304
 - , Random Access Memory 304
 - , Read-Only Memory 304
 - , ROM 304
 - , Schreib- und Leseverstärker 306
 - , SONOS-Speicherzelle 337
 - , Spaltendecoder 306
 - , Speicherkapazität 307
 - , Speichermatrix 306
 - , Speicherzugriff 303
 - , SRAM-Speicherzelle 310
 - , Verlustleistung 322
 - , volatiler 304, 310
 - , Zeilendecoder 306
 - , Zellengröße 323
 - , Zugriffszeit 307 f., 322
 - , Zykluszeit 308
- Halbleiterspeicherzelle 301
- Halteschaltung 175
- Haltezeit 152, 167
- HAMMING, RICHARD 90, 94
- Hamming-Code 94
- Hamming-Distanz 90
- Hamming-Gewicht 90
- Handel-C 224
- Hard-Makro 296, 405
 - , optimierter Block 405
 - , Prozessorkern 405
- Hardware Description Language 187, 224
- Hardwarebeschleuniger 390
- Hardware-Beschreibungssprache 21, 187
- Hardware-Emulation 217
- Hardware-Software-Codesign 222, 224, 257
- Hardware-Software-Cosimulation 222
- Hardware-Software-Cosynthese 223
- Harvard-Architektur 346
- Hazard 135, 140
 - , eliminieren 137
 - , Entstehung 136
 - , Freiheit 142
- Hazardfreiheit 140
- h-Datei 259
- HDL 224
- HDL-Entry 187
- HDL-Modelleingabe 188
- HDPLD 396, 401 f., 412
- Herstellungstechnologie 21
- Hexadezimalsystem 63
- Hidden-Refresh 317
- Hierarchie 182
- Hierarchisierung 221
- High-Density Programmable Logic Device 396, 401 f., 412
 - , Partitionierung 402

- High-Level-Simulation 199
 Hitrate 381
 HLS 209, 223
 Hold 422, 436
 hold time 152, 167
 HPLD, Partitionierung 402
 HSTL 398
 Huffman-Codierung 83
 Hürde 165
 Hyperthreading 383
 Hysterese 152
- I**
- IC 19, 30, 291
 IDDQ-Test 275
 Idempotenz 103
 Identität 104 ff.
 IDNF 395
 IEEE 1076 225
 IEEE 1149 286
 IEEE 1164 242
 IEEE 1364 250
 IEEE 1500 289
 IEEE 1666 257
 IEEE 754 70
 if 255 f., 261
 IGFET 44
 Implementierung 186, 347
 –, physikalische 196
 Implementierungsphase 179
 Implikant 115 f.
 Implikation 105 f.
 In-Circuit-Programmierung 330, 332
 Index-Register 354
 Inertial-Delay 202
 Informatik, Technische 21
 Informationsgehalt 79
 Inhibition 104 f.
 initial 252
 INL 429
 Input/Output 412
 Instanziierung 233, 239
 –, iterative 240
 instruction code 357, 360
 instruction execution cycle 361
 instruction fetch and decode 361
 Instruction Pointer 354, 357
 instruction set 374
 Insulated Gate FET 44
 In-System-Programmierbarkeit 401,
 404, 412
 integer 227
 Integerzahl 21
 integraler Nichtlinearitätsfehler 429
 Integrated Circuit 19, 30
 Integrationsgrad 323
 Integrationsverfahren 439
 Integrator 446
 integrierte Schaltung 30
 Intel, 4004 64
 Intellectual Property 180, 222, 296
 interface 364
 Interface Method Call 258
 Interleaving 318
 interner Taktversatz 168
 Interrupt-Konzept 346
 Interruptlogik 129
 Interrupt-Steuerung 367
 intrinsischer Halbleiter 33
 Inversion 44, 104
 Inverter 51
 –, CMOS- 61
 –, TTL- 61
 invertierte DNF 395
 I/O-Block 391, 396, 402
 –, Anstiegsrate 396
 –, Betriebsspannung 397
 –, einstellbare Verzögerung 396
 I/O-Device 346
 I/O-Komponente 373
 I/O-Pin 184
 I/O-Standard 397
 IP 180, 222, 296
 IP-Provider 297
 Irrelevanzreduktion 78
 ISO 8859 73
 Isolator 32
 Isolierschicht-FET 44
 ISP 401, 404, 412
 ispGAL22V10 412
 iterative Zerlegung 121
- J**
- Java 184
 JFET 46
 JK-Flipflop 147 f., 150, 154, 176
 –, taktzustandsgesteuertes 147
 JPEG 88
 JTAG 286

Junction FET 46
junction insulation 48

K

Kanalcodierung 89
Kapselung 258
KARNAUGH, M. 113
Karnaugh-Veitch-Diagramm 113
Kennlinie, A-law- 425
–, μ -law- 425
Kennlinienfehler 428 f.
Kern-Primimplikant 116 f.
KibiByte 308
Kippglied, bistabiles 143
Kippstufe, bistabile 143
–, monostabile 143
Kleinschreibung 226, 250
KMF 112
KNF 111 f., 395
Kollektor 42
Kollision, Signale 228
Kombinatorik 125
kombinatorische Logik 164, 234
kombinatorische Schaltung 125, 143
Kommentar 226
Kommunikationscontroller 299
Kommunikationstechnik 21, 27
Kommutativgesetz 107
Kompaktmodell 247
Komparator 433, 440, 446
Komplement 103
–, 2er- 134
komplementäre MOS-Logik 54
komplementäre MOS-Technologie 47
komplexer Funktionsfehler 269
Komponente 239
Komponenteninstanziierung 233
Kompression, Bild- 88
–, LZW-Verfahren 85
–, Sprach- 87
–, verlustbehaftete 78, 87
–, verlustfreie 78, 81
Konfiguration 211
Konjunktion 103
konjunktive Minimalform 112, 117
konjunktive Normalform 110 ff., 395
Konkretisierung 183, 190
Kontrollflussbefehl 256
Kostenfunktion 214
kritischer Pfad 167, 219

Kurzschlussstrom 171
Kürzungsregel 107
KV-Diagramm 113 f., 116
–, Nachbarschaft 116

L

L1-Cache 379
L2-Cache 380
L3-Cache 380
Last In First Out 366
Latch 143, 395
–, RS- 144
Latenz 207
Lattize 406 f.
Lauf längencodierung 84
Laufzeit 136
Layer, logischer 290
–, physischer 290
Layout 290
–, Chip- 290
Layoutebene 185
Least Significant Bit 424
Leckstrom 38, 171
Leitungsband 31
Leitungscode 98
Leitungscodierung 98
Lempel-Ziv-Codierung 85
Level-Sensitive Scan Design 278
LFSR 177, 282
–, charakteristisches Polynom 282
library 243
LIFO-Prinzip 365 f.
linear feedback shift register 177
linear rückgekoppeltes Register 177
linear rückgekoppeltes Schieberegister
177, 281
Linearitätsfehler, differenzieller 428 f.
Lithographie 35
Little-Endian 64, 352
Load/Store-Architektur 370
Logik, Dioden-Transistor- 50
–, getaktete 236
–, kombinatorische 164, 236
–, komplementäre MOS- 54
–, mehrwertige 24
–, negative 24
–, positive 24
–, Pseudo-ECL-(pECL-) 53
Logikbaustein, programmierbarer 406
Logikblock 391, 395, 402, 405

Logik-Core 397
 –, Betriebsspannung 397
 Logikgatter 125
 Logikschaltung 21
 Logiksystem, vollständiges 109
 Logikverifikation 220
 logischer Befehl 374
 logisches Schaltnetz 143
 Look-Up Table 393, 404, 417, 419
 Low Power SRAM 311
 LSB 425
 LSSD 278
 LUT 194, 417, 419
 –, Zusammenfassung mehrerer 419
 LVCMOS 398
 LVDS 398
 LVPECL 398
 LVTTTL 398
 LZW-Verfahren 86

M

magnetoresistives RAM 340
 Makro 296
 –, Firm- 296
 –, Hard- 296, 405
 –, Soft- 296
 Makrozelle 295
 Manchester-Code 99
 –, differenzieller 100
 Mantisse 67
 Map 212
 March Test 285
 Marke 165
 Maschinenbefehl 357, 360
 Maschinenwort 28
 Masken-ROM 325
 Master Gate-Array 293
 Master-Slave-Flipflop 147
 Master-Slave-Prinzip 346
 Matlab 199, 224
 Matrix-Code 96
 Matrixspeicher 303, 306
 MATS 285
 maximale Verlustleistung 279
 Maxterm 110 f., 113, 117
 MC CLUSKEY 118
 Mealy-Automat 26, 156, 161
 MebiByte 308
 Medwedjew-Automat 156
 Mehrfachfehler 269
 mehrstufige Schaltung 120
 mehrstufiges Minimierungsverfahren
 124
 mehrwertige Logik 24
 memory mapped I/O 373
 MEMS 300
 MESFET 46
 Messtechnik 447
 Metal-Insulator-Semiconductor FET
 44
 Metall 32
 –, divalentes 32
 –, monovalentes 32
 Metallisierungssystem 48
 Metal-Oxide-Semiconductor FET 44
 Metal-Semiconductor-FET 46
 metastabiler Zustand 219
 Methode des binären Baumes 438
 Methoden 258
 MGA 293
 microprocessor engineering 347
 Mikroarchitektur 403
 Mikrobefehl 369
 Mikrocomputer 345, 347
 –, Harvard-Architektur 346
 –, Von-Neumann-Architektur 346
 Mikrocontroller 350
 Mikroprogramm 369
 Mikroprozessor 21, 344, 347
 –, address unit 359
 –, addressing mode 375
 –, Adressbus 359
 –, Adressierungsart 358, 375
 –, Adresswerk 358
 –, ALU 355
 –, Architekturmerkmal 352
 –, arithmetisch-logische Einheit 355
 –, Ausnahme 368
 –, Befehlssatz 374
 –, Befehlszähler 354
 –, Befehlszyklus 361
 –, Bussteuerung 362
 –, Carry-Flag 356, 372
 –, Control Register 355
 –, control unit 357
 –, Datenbus 359
 –, Differenzierung 350
 –, digitaler Signalprozessor 350
 –, Eingabe-/Ausgabe-Einheit 364
 –, Exception 368

- , Flagregister 354, 372
- , instruction code 357, 360
- , instruction execution cycle 361
- , Interrupt-Steuerung 367
- , Komponenten 353
- , Load/Store-Architektur 370
- , Maschinenbefehl 357, 360
- , Mikrocontroller 350
- , Multicore- 383
- , Overflow-Flag 372
- , Parameter 351
- , Pipelining 371
- , Polling 367
- , Program Counter 354, 357
- , Programmablauf 362
- , Programmiermodell 352, 371
- , Register 353
- , Registersatz 371
- , Sign-Flag 372
- , Softcore 408
- , Speichermodell 373
- , Stackfunktion 365
- , Stackpointer 355
- , Stapelzeiger 355
- , Statusregister 372
- , Steuerbus 359
- , Steuerwerk 357
- , superskalärer 381
- , Systembus 363
- , Verarbeitungsleistung 376
- , Von-Neumann-Rechnerarchitektur 360
- , Zero-Flag 356, 372
- Mikroprozessortechnik 347
- Mikrorechner 347
- Mikrosystemtechnik 245, 300
- MIMD 383
- Minimalform 137
 - , disjunktive 112, 116
 - , konjunktive 112, 117
- minimieren Boole'scher Funktionen 112, 116
- Minimierungsverfahren 113, 118, 212
 - , Espresso-Algorithmus 212
 - , mehrstufiges 124
 - , Quine-McCluskey-Algorithmus 212
- Minterm 110, 113, 118, 128
- MIPS 351
- MISFET 44
- MISR 284
- Missing-Code-Fehler 428
- mittlere Codewortlänge 77
- Mixed-Signal-Schaltung 300
- Mixed-Signal-Simulation 199
- MLC 334 f.
- Modell 186, 197
 - , algorithmisches 224
 - , Datenfluss- 224
 - , Struktur- 224
 - , strukturelles 250 f.
 - , Verhaltens- 224
- Modelleingabe, grafische 188
- Modellierung 180
- Modellierung endlicher Zustandsautomaten 159
 - , Zustandsgraph 159
- Modulation 100
- module 250
- Module-*n*-T-Flipflop 175
- MOEMS 300
- monolithisches PLD 402
- monostabile Kippstufe 143
- Monotonie 429
- monovalentes Metall 32
- MOORE, GORDON 37
- Moore-Automat 156, 161
- Morse-Code 76
- MOSFET 44
 - , selbstleitend 46
 - , selbstsperrend 46
- Most Significant Bit 430
- MOS-Technologie 47
- MOS-Transistor, FAMOS 329
 - , FeFET 339
 - , Floating Gate 328
 - , Floating Gate Avalanche MOS-Transistor 329
 - , FLOTOX 330
- MPEG 88
- MRAM 340
- MRAM-Speicherzelle 341
- MSB 430
- μ -law-Kennlinie 425
- Multi Level Cell 334 f.
- Multicontext-PLD 405
- Multicore-Prozessor 383
 - , speichergekoppelter 383
- Multi-Level-Speicherzelle 301
- Multiple Input Signature Register 284
- Multiple Instruction Multiple Data 383

Multiplexer 122, 125 f., 188, 234, 396, 399, 404
 –, Steuervektor 126
 Multiprozessor, asynchroner 390
 –, multiskalarer 390
 multiskalarer Prozessor 390
 Multithreading 383
 multi-value logic 24
 Multivibrator 171
 –, bistabiler 310

N

Nachkommanormalisierung 69
 NAND 105, 110
 NAND-Flash-Technologie 334
 nature 246
 nebenläufige Fehlersimulation 273
 nebenläufiger Prozess 164
 Nebenläufigkeit 187
 Negation 103 f.
 Negationsregel 108
 negative ganze Zahl 64
 negative Logik 24
 Netzliste 187, 211
 new 261
 NICHT 102 ff.
 nichtflüchtiger Halbleiterspeicher 324
 nichtflüchtiger Speicher 325
 Nichtlinearitätsfehler, integraler 429
 nichtvolatiler Halbleiterspeicher 304
 n -leitender Halbleiter 33
 NMOS 53, 59
 NMOS-Transistor 47
 noise shaping 439
 Non Uniform Memory Access Architecture 383
 NON-Embedded System 309
 Non-Return-to-Zero 98
 Non-Return-to-Zero-Inverted 98
 Non-volatile RAM 337
 NOR 104, 110
 NOR-Flash-Technologie 334
 Normalform 110
 –, disjunktive 110 f., 393
 –, invertierte disjunktive 395
 –, konjunktive 110 ff., 395
 Normalisierungsregel 69
 NOVRAM 337
 n pn-Bipolartransistor 42
 NRZ-Code 98

NRZI-Code 98
 Null-Theorem 103
 NUMA-Architektur 383
 Nur-Lese-Speicher 304
 NVRAM 337
 NYQUIST, Abtasttheorem 424
 Nyquist-Frequenz 434
 Nyquist-Theorem 97

O

OBDD 123
 OBDD-Darstellung 221
 OBDD-Graph 123
 ODER 102 f., 106
 –, verdrahtetes 60
 offset binär 430
 Offsetfehler 428 f.
 Oktalsystem 63
 OLMC 410
 One-Hot-Code 78, 166
 One-Time Programmable Read-Only Memory 325, 327
 One-Time-Programmable 404
 Online-Test 268
 open 239
 Open-Collector 60
 Open-Drain 60
 Open-SystemC-Initiative 257
 Operationsverstärker 153, 430
 Operativspeicher 304
 Optimierung 212
 –, Ausflachung 213
 –, Entwurfsraum 213
 –, Espresso-Algorithmus 212
 –, flattening 213
 –, Quine-McCluskey- 212
 –, Strukturierung 213
 Optimierungskriterium 183
 OR 102 f., 106
 OSCI 257
 Oszillator 153, 171
 others 235
 OTPROM 325
 Out of order execution 382
 Output Logic Macro Cell 410
 Overflow-Flag 372
 oversampling 424, 439
 Oversamplingfaktor 447

P

- package 243
- package body 243
- Pad 291
- Page-Mode 318
- PAL 403, 408
- PAL-Struktur 394, 412
- paralleler Speicherzugriff 303
- Parallelverfahren 437, 439
- parametrisierbar 298
- Paritätsbit 72
- Paritäts-Code 90
- Partitionierung 182, 209
- Partitionierungsproblem 417
- Pass-Transistor 398 ff.
- PCI 398
- peak power 279
- pECL-Logik 53
- Pegel 57
- Periodendauer 158
- persistenter Halbleiterspeicher 304
- Personalisierung 293
- Petri-Netz 164
 - , firing rule 165
 - , Flussrelation 165
 - , schaltbereit 165
 - , Stelle 165
 - , Transition 165
- Pfad 53
 - , kritischer 167
- Pfadverzögerungsfehler 271
- Phase Change RAM 341
- Phase-Locked Loop 169
- Phasenmodulation 101
- Phasenpipelining 377
- Phaseshifter 282
- Physical Synthesis 215
- pipeline flush 379
- pipeline hazard 378
- Pipelined Burst-SRAM 312
- Pipeline-Konflikt 378
- Pipelinestruktur 121
- Pipelinestufe 377
- Pipelining 169 f., 185, 211, 312, 371, 377
- PLA-Architektur 414
- Place & Route 185, 194, 211 f.
- Placement 185, 417
- Planartechnologie 34
- Platzierung 182
- PLD 21, 391, 406 f.
 - , Anti-Fuse 399
 - , Basisblock 393
 - , Basisoperation 392 f.
 - , Boole'scher Assembler 408
 - , Boot-Speicher 391, 400
 - , Codespeicher 392, 398
 - , Complex PLD 403, 405
 - , CPLD 403, 405
 - , Datenspeicher 391, 415
 - , Designraum 393
 - , dynamische Reprogrammierbarkeit 405
 - , Field-Programmable Gate Array 403 f.
 - , Flipflop 393, 395
 - , FPGA 403 f.
 - , GAL/PAL 16V8 408
 - , GAL/PAL 22V10 408
 - , HDPLD 401 f., 412
 - , Hersteller 406 f.
 - , High-Density PLD 401 f., 412
 - , In-System-Programmable 401, 404
 - , I/O-Block 396
 - , I/O-Standard 397
 - , ISP 401, 404, 412
 - , Klassifizierungen 403
 - , Logikblock 395, 402, 405
 - , Look-Up Table 393
 - , LUT 393, 404
 - , Mikroarchitektur 403
 - , monolithisches 402
 - , Multicontext- 405
 - , Multiplexer 404
 - , OTP 404
 - , PAL-Struktur 394, 403
 - , Partitionierung 402
 - , Pass-Transistor 398
 - , Programmierbarkeit 403
 - , Programmierung 398
 - , Rapid Prototyping 400
 - , Reconfigurable Computing 405
 - , Reprogrammierbarkeit 404
 - , Routing 399, 402, 405
 - , Simple 401 ff.
 - , Softcore 408
 - , Speicherfunktion 393, 395
 - , Speichertechnologie 399
 - , SPLD 401 ff., 408
 - , SRAM-basiert 400

- , Versorgungsspannung 397
- , zeitliches Verhalten 392
- PLD-Codespeicher 399
- PLD-Modell 391 f.
- , Datenspeicher 415, 419
- p*-leitender Halbleiter 33
- PLL 169
- PMOS 54, 59
- PMOS-Transistor 47
- Pointer 354
- Poisson-Modell 268
- Polling 367
- Polynom, charakteristisches 282
- port 232
 - , buffer 232
 - , in 232
 - , inout 232
 - , out 232
- port map 239
- positive ganze Zahl 63
- positive Logik 24
- Postulate, Bohr'sche 30
- Präfixfreiheit 77
- Primimplikant 115 f., 137
 - , Kern- 116 f.
- Prioritätsdecoder 440
- Prioritäts-Encoder 129, 188, 234
- procedure 242
- process 229
- Product Term Sharing 414
- Produktionstest 267
- Produktqualität 276
- Program Counter 354, 357
- Programm 345
- Programmable Array Logic 394, 403
- Programmable Logic Array Architektur 414
- Programmable Logic Device, *siehe* PLD21
- Programmable Read-Only Memory 325, 327
- programmierbarer Logikbaustein 391, 406
- programmierbares digitales System 24
- Programmierbarkeit 24, 404
 - , dynamische Reprogrammierbarkeit 405
 - , In-System- 404
 - , One-Time-Programmable 404
 - , Reprogrammierbarkeit 404
- Programmiermodell 352, 371
- Programmiertechnologie 398, 401, 404
- Programmierung, Pass-Transistor 399
- Programmspeicher 304
- Programmsteuerbefehl 375
- PROM 325, 327
- propagation delay 58
- proprietäre Bibliothek 300
- protected 231
- Prototyp 218
- Prototypentest 267
- Prozedur 241
- Prozess 229 f., 233
 - , Ausgangssignal 237
 - , getakteter 237
 - , nebenläufiger 164
 - , Sensitivitätsliste 236
 - , sequenzieller 237
 - , Verhaltensbeschreibung 234
- Prozessor, Bussteuerung 362
 - , CISC- 369
 - , Co- 390
 - -Core 222
 - , eingebetteter 221
 - , Flagregister 372
 - , instruction set 374
 - , multiskalarer 390
 - , Program Counter 357
 - , RISC- 370
 - , Spezial- 390
 - , Statusregister 372
 - , superskalärer 381
- Prozessorkern 299, 405
- Prozessorsteuerbefehl 375
- Prüfbarkeit 199
- Prüfbit 72
- prüfunggerechter Entwurf 277
- Prüfpfad 277
- prüfungsbasierender Selbsttest 281
- Pseudo-ECL-Logik 53
- Pseudo-Tetrade 71
- PSPICE 198
- Pull-Down-Pfad 53
- Pull-Up-Pfad 53
- Pulsdauer 152
- Pulse Width 152
- Pulsweitenmodulator 433
- punktueller Störung 266

Q

quantisierte Spannung 425
 Quantisierung 20, 423 f., 437
 Quantisierungsfehler 426
 Quantisierungsintervall 425
 Quantisierungskennlinie 425, 437
 Quantisierungsrauschen 426
 Quantisierungsstufe 425
 quantity 246
 Quarz 172
 quasiternär 24
 quaternär 24
 Quellenalphabet 76
 Quellencodierung 78
 Quellencodierungstheorem von SHANNON 80
 QUINE 118
 Quine-McCluskey-Algorithmus 212

R

R-2R-Widerstandsnetzwerk 431
 race 136, 140
 Races 157
 RAM 304 f.
 –, BEDO- 319
 –, dynamisches 305, 313
 –, FeRAM 338
 –, FeRAM-Speicherezelle 339
 –, Ferroelectric 338
 –, FRAM 338
 –, magnetoresistives 340
 –, MRAM 340
 –, Non-volatile 337
 –, PCRAM 341
 –, Phase Change 341
 –, statisches 305, 400
 RAM, statischer 310
 Random Access Memory 304 f.
 Rapid Prototyping 218, 391, 400
 RAS 307, 314
 RAS-ONLY-Refresh 316
 rationale Zahl 67
 Raumkompaktierung 283
 Rauschleistung 97
 read 258
 Read-Only Memory 304 f.
 real 245
 real-time behaviour 27
 Recheneinheit 353
 Rechenwerk 133

Reconfigurable Computing 405
 record 228
 Redesign 181, 186, 194
 redundant 267
 Redundanz 81, 118
 Redundanzreduktion 78
 Referenzspannung 440
 Refresh 314
 –, Burst- 317
 –, CAS-BEFORE-RAS- 316
 –, distributed 317
 –, external 317
 –, Hidden- 317
 –, RAS-ONLY- 316
 Refresh-Controller 316
 reg 253
 Register 143, 353
 – in Verilog 253
 Registersatz 353, 371
 Rejecting Inertial Delay 203
 Rekonstruktion 423
 Rennen 136, 140
 repeat 256
 Reproduzierbarkeit 27
 Reprogrammierbarkeit 404 f.
 Reprogrammierfähigkeit 391
 Request-Update-Methode 265
 Resetschaltung 173
 resolved 228
 Response 217
 Ressourceneffizienz 27
 Ressourcenkonflikt 378
 Ressource-Sharing 210
 Retiming 211
 Return-to-Zero 98
 Reuse 298
 Ringoszillator 172
 Ripple-Carry-Struktur 194
 RISC-Prozessor 370
 ROBDD 124, 220
 ROBDD-Graph 124
 ROM 304 f., 324 ff.
 –, EEPROM 325
 –, EPROM 325, 328 ff.
 –, Flash-EEPROM 325, 333
 –, Masken- 325
 –, One-Time Programmable 325
 –, OTP 325
 –, OTPROM 327

- , Programmable 325
 - , PROM 327
 - römische Zahl 63
 - Router 214
 - Routing 185, 391, 399, 402 f., 405, 412, 416 f.
 - , global 417
 - , Inter-Block- 416
 - , konfigurierbares 395
 - , lokal 417
 - , Pass-Transistor 399
 - , regional 417
 - row address strobe 307, 314
 - row decoder 306
 - RS-Flipflop 138 ff., 144, 148, 150, 174
 - , taktzustandsgesteuertes 145
 - RT-Beschreibung 185
 - RT-Ebene 190 f.
 - RT-Modell 193
 - RT-Synthese 207, 210
 - , Zustandscodierung 210
 - , Zustandsminimierung 210
 - Rückkopplung, asynchrone 125, 137, 140
 - , Auftrennung 138
 - , externe asynchrone 137
 - Rückkopplungspfad 138
 - Rückkopplungspolynom 282
 - Rückkopplungssignal 139 f.
 - Ruhestrom 275
 - RZ-Code 98
- S**
- Sample 422, 424
 - Sample & Hold 422, 436, 440
 - SAR 442
 - scan path 277
 - sc_create_vcd_trace_file() 264
 - SC_CTHREAD 259
 - Schaltaktivität 171
 - Schaltalgebra 102
 - , Rechenregeln 107
 - Schaltgeschwindigkeit 50
 - Schaltkreistechnik 19, 21
 - Schaltnetz 25, 102, 125, 155, 393
 - , logisches 143
 - Schaltplaneingabe 187
 - Schaltung, asynchrone, Designregeln 140
 - , digitale 135
 - , integrierte 30
 - , kombinatorische 125, 143
 - , mehrstufige 120
 - mit Gedächtnis 137
 - , Mixed-Signal- 300
 - ohne Gedächtnis 137
 - , Reset- 173
 - , sequenzielle 125, 138, 143
 - , synchrone 167
 - , zeitabhängige 25
 - Schaltungspartitionierung 272
 - Schaltungstechnik 50
 - , bipolare 50
 - , statische 50
 - , unipolare 50
 - Schaltvariable 23
 - Schaltwerk 25, 143, 162, 393, 395
 - , asynchrone 154
 - , digitales 291
 - , Mealy-Automat 26
 - , synchrones 155
 - , Synthese 26
 - Schaltwerkttabelle 162 f.
 - Scheduling 184 f., 209
 - Schematic Entry 187
 - Schichtherstellung 35
 - Schieberegister 93, 176
 - , linear rückgekoppeltes 177, 281
 - Schmitt-Trigger 152
 - Schnittstelle 300
 - , C- 200
 - Schnittstellensignal 230
 - Schottky-Diode 40
 - Schreib- und Leseverstärker 306
 - Schreib-Lese-Speicher 304
 - Schwellenspannung 46
 - Schwellwertschalter 152
 - sc_in<> 260
 - sc_int<> 265
 - sc_main() 264
 - Scmethod 265
 - SC_METHOD 259
 - SC_MODULE 259
 - sc_out<> 260
 - scrubbing 280
 - sc_signal<> 258
 - sc_start() 264
 - SC_THREAD 259, 265
 - sc_uint<> 265
 - SDF-Format 217

- SDRAM 320
- , DDR2- 322
- , DDR3- 322
- Second-Level-Cache 380
- Security 28
- Selbsttest 280
- , Mustererzeugung 281
- , prüfpfadbasierender 281
- self refresh 317
- Semi-Custom-Design 292
- Sensitivitätsliste 230, 236
- sequenzielle Schaltung 125, 138, 143
- sequenzielle Tiefe 277
- serieller Speicherzugriff 303
- setup time 150, 167
- Setzzeit 150, 167
- SEU 268
- SFET 46
- SHANNON, CLAUDE E. 80, 102
- , Abtasttheorem 424
- , Codierungstheorem 80 f.
- Shannon'sche Datenquelle 79
- Shannon'sches Gesetz 108, 112
- Shannon-Theorem 80, 97
- Shannon-Zerlegung 121, 123
- shared variable 231
- Sicherheit 28
- Sicht 179, 181
- , geometrisch physikalische 179
- , strukturelle 179, 181
- , Verhaltens- 179, 181
- Sigma-Delta-Modulation 434
- Sigma-Delta-Modulator 446
- signal 230
- Signal, analoges 20
- , binäres 20
- , digitales 20
- -Event 204
- , getaktetes 255
- , lokales 230
- -Transaction 204
- , wertdiskretes 426
- , wertkontinuierliches 423 f.
- , zeitdiskretes 424, 426
- , zeitkontinuierliches 423
- Signal to Noise Ratio 426
- Signalattribut 231
- Signal-Event 204
- Signallaufzeit 136
- Signalleistung 97
- Signalprozessor, digitaler 68, 350
- Signal-Rausch-Verhältnis 96 f., 426
- Signal-Transaction 204
- Signalverarbeitung, digitale 21
- Signalwahrscheinlichkeit 273
- Signalwarteschlange 204
- Signalzuweisung, bedingte 233
- , blocking 253, 255
- , nebenläufige 229, 233
- , non-blocking 253, 255
- , selektive 233
- , unbedingte 233
- Signaturanalyse 283
- Sign-Flag 372
- Silicon Oxide Nitride Oxide Silicon 337
- Silizium 44
- Silizium-Scheibe 34
- Simple Programmable Logic Device 291, 401 ff., 408
- Simulation 21, 180, 197
- , Analog- 198, 200
- , Anfangsbedingung 245
- , Differenzialgleichung 245
- , Digital- 198
- , ereignisgesteuerte 200, 204
- , High-Level- 199
- , Matlab 199
- , Mixed-Signal- 199
- , Saber- 199
- , SDF-Format 217
- , Standard Delay File Format 217
- , stückweise lineares Verhalten 245
- , Timing- 217
- , Unstetigkeit 245
- , Verifikations- 217
- , zyklusbasierte 200
- Simulationseffizienz 201 f.
- Simulationsgenauigkeit 201
- Simulationssemantik 225
- Simulator, Differenzialgleichung 245
- , ereignisgesteuerter 245, 265
- , Request-Update-Methode 265
- simulierte Zeit 201
- Simulink 199
- Single Event Upsets 268
- Single Level Cell 334 f.
- Single-precision-Format 70
- Skalarität 377
- Skalierung 36 f.

- SLC 334 f.
- SLI 294
- Slice 214
- Sliding-Window-Methode 85
- Snoop-Control-Unit 386
- SNR 426 f.
- SoC 181, 221, 286, 288, 294, 298, 351
- Sockelung 330
- Softcore 408
- Soft-Makro 296
- SONOS-Speicherzelle 337
- SoS 294
- Source 43
- space compaction 283
- Spaltendecoder 306
- Spannung, quantisierte 425
- SPEC 351
- Speicher 345
 - , access time 308
 - , Adress-Multiplex-Mode 307
 - , Assoziativ- 304
 - , Cache- 304, 379
 - , CAM 304
 - , Codespeicher 325
 - , Content Addressable Memory 304
 - , data retention 309
 - , Datenverfügbarkeit 305
 - , digitale Halbleiterspeicher 302
 - , DRAM-Speicherzelle 313
 - , EEPROM 325
 - , Endurance 309
 - , EPROM 325
 - , EPROM-Speicherzelle 328
 - , FAMOS-Transistor 329
 - , feature size 323
 - , FeRAM 338
 - , FeRAM-Speicherzelle 339
 - , Ferroelectric RAM 338
 - , Flash-EEPROM 325, 334
 - , FLOTOX-Transistor 330
 - , flüchtiger 304, 310
 - , FRAM 338
 - , Halbleiterspeicherzelle 301
 - , inhaltsadressiert 304
 - , Integrationsgrad 323
 - , Interleaving 318
 - , Kapazität 307
 - , Masken-ROM 325
 - , Matrix- 303
 - , MRAM 340
 - , MRAM-Speicherzelle 341
 - , Multi-Level-Speicherzelle 301
 - , nichtflüchtiger 304, 325
 - , nichtvolatiler 304
 - , Nur-Lese- 304
 - , NVRAM 337
 - , ortsadressiert 304
 - , OTPROM 325, 327
 - , persistenter 304
 - , Phase Change RAM 341
 - , PROM 325, 327
 - , RAM 304
 - , Random Access Memory 304
 - , Read-Only Memory 304
 - , ROM 304
 - , Schreib- und Leseverstärker 306
 - , SONOS-Speicherzelle 337
 - , Speichermatrix 306
 - , SRAM-Speicherzelle 310
 - , Stapel- 365
 - , Verlustleistung 322
 - , volatiler 304, 310
 - , Zeilendecoder 306
 - , Zellengröße 323
 - , Zugriffszeit 307 f., 322
 - , Zykluszeit 308
- Speicherfunktion 393
- Speicherkapazität 307
- Speicher kondensator 313
- Speichermatrix 306
- Speichermodell 373
- Speicherordnung 64
- Speichertechnologie, Anti-Fuse 399, 404
 - , EPROM 400, 404
 - , Flash-EEPROM 400
 - , In-System-Programmable 401
 - , SRAM 400
 - , statisches RAM 400
- Speichertransferrate 308
- Speicherzugriff 303
 - , paralleler 303
 - , serieller 303
 - , wahlfreier 303, 309
- Speicherzugriffszeit 307 f.
- Speicherzykluszeit 308
- spekulative Sprungausführung 379
- Sperrschicht-FET 46
- Spezialprozessor 390
- Spezialregister 354

- Spezifikation 186
- , unvollständige 235, 256
- , vollständige 235
- Spezifikationsebene 184
- SPLD 291, 401 ff., 408
- Sprachkompression 87
- Sprungausführung, spekulative 379
- Sprungvorhersage 379
- , dynamische 379
- SRAM 305, 310 ff., 400
- , asynchrones 311
- , Pipelining 312
- , Speicherzelle 310
- , synchrones 312
- SRAM, Baustein 311
- SRAM-basierter Datenspeicher 419
- SSTL2 398
- SSTL3 398
- Stackpointer 355
- standard cells 292
- Standard Delay File Format 217
- Standard Performance Evaluation Corporation 351
- Standard-IC 291
- Standardzellenentwurf 292
- Stapelspeicher 365
- Stapelzeiger 355
- Stapper-Modell 268
- State Chart 160
- State Diagram 160
- State-Editor 189
- statisches RAM 305, 400
- Statusregister 372
- std_logic 227 f., 242
- std_logic_vector 227, 242
- std_ulogic 227
- Stellenwertsystem 63
- Steuerautomat 185
- Steuerbus 359
- Steuerpfad 182, 209
- Steuerwerk 353
- Stibitz-Code 72
- Stimuli 216
- Störstelle 33
- Strobe-Generator 322
- Stromquelle, binärgestufte 432
- , geschaltete 432
- Stromspiegel 432
- structural hazard 378
- Strukturbeschreibung 224, 261
- strukturelle Sicht 179, 181
- Strukturgröße 36
- Strukturierung 182, 190, 213
- Strukturmodell 249
- stuck-at-0 267
- stuck-at-1 267
- stuck-open 269
- STUMPS 281
- Subgraph 123 f.
- SubMicron-Technologie 215
- Substitutionsverfahren 82
- , dynamisches 82
- , statisches 82
- subthreshold leakage 38
- Subtrahierer, für Festkommazahlen 133
- Subtraktion 130, 133
- , und Addition 133
- von Festkommazahlen 132
- subtype 228
- sukzessive Approximation 438, 442 f.
- Summationspunkt 430
- Sum-of-Product-Term Sharing Array 414
- Sum-of-Product-Term-Architektur 412
- S&H-Verstärker 422
- superskalärer Prozessor 381
- Superskalarität 377
- support 272
- switch case 261
- synchrone Schaltung 167
- synchroner Systembus 363
- synchroner Zähler 175
- synchrones Flipflop 144 f., 154
- synchrones Schaltwerk 155
- synchrones SRAM 312
- Synchronisationselement 138
- Synthese 26, 180, 182, 186, 206
- , algorithmische 207
- , Constraints 207
- , Dekomposition 214
- , Elaboration 208
- , Floorplanning 215
- , Kostenfunktion 214
- , Minimierungsverfahren 212
- , Optimierung 212
- , Physical 215
- , Pipelining 211
- , Place & Route 212, 214
- , Router 214

- , RT- 207
- , SystemC 209
- , Technology Mapping 212
- , Timinganalyse 212
- , Timing-driven placement 214
- , Verhaltens- 207 f.
- Synthese-Analyse-Verfahren 87
- Synthesemantik 225, 261
- System, digitales 24, 422
 - , eingebettetes 27
 - , gemischtes 245
- System Level Integration 294
- System on Chip 181, 221, 286, 288, 294, 298, 351
- System on Silicon 294
- System Verilog 224
- systematischer Effekt 266
- Systembus 346, 353, 359
 - , asynchroner 363
 - , synchroner 363
- SystemC 184, 187, 209, 224, 257
 - , channel 258
 - , default 261
 - , Device Under Test 262
 - , DUT 262
 - , Ereignisliste 265
 - , if 261
 - , interface 258
 - , Interface Method Call 258
 - , Kapselung 258
 - , Konstruktor 261
 - , Methoden 258
 - , module 258
 - , namentliche Zuordnung 261 f.
 - , new 261
 - , Open-SystemC-Initiative 257
 - , OSCI 257
 - , port 258
 - , positionsorientierte Zuordnung 261 f.
 - , read 258
 - , Request-Update-Methode 265
 - , sc_create_vcd_file() 264
 - , SC_CTHREAD 259
 - , SC_CTOR 260
 - , sc_in<> 258
 - , sc_inout<> 258
 - , sc_int<> 265
 - , sc_main() 264
 - , SC_METHOD 259, 265

- , SC_MODULE 259
- , sc_out<> 258
- , sc_signal<> 258
- , sc_start() 264
- , SC_THREAD 259, 265
- , sc_uint<> 265
- , Sensitivitätsliste 260
- , Signal 265
- , Strukturbeschreibung 261
- , switch case 261
- , Synthesemantik 261
- , Testbench 262
- , Transaction Level Modelling 257
- , Variable 265
- , Verhaltensbeschreibung 259
- , write 258
- , Zeigervariable 262
- Systemspezifikationsphase 179
- System-Verilog 184

T

- Tabellenspeicher 305
- Taktbaum 169
- Taktdomäne 218
- taktflankengesteuertes Flipflop 144, 148
- Taktfrequenz 169
- taktgesteuertes Flipflop 144
- Takteiler 154
- Taktversatz 167 f., 219
 - , externer 168
 - , interner 168
 - , Minimierung 169
- taktzustandsgesteuertes Flipflop 144 f.
- TAM 284, 288
- TAP Controller 287
- Technische Informatik 21
- Technology Mapping 185, 208, 211 f.
- terminal 246
- Terminalknoten 123 f.
- ternär 24
- Test 21
 - , ATPG 274
 - , BIST 280
 - , Brown-Williams-Formel 276
 - , Built-In Self-Test 280
 - , -datenumfang 267
 - , diagnostischer 274
 - , eingebetteter 284
 - , Fehlererkennung 267

- , funktionaler 276
 - , -geschwindigkeit 267
 - , IDDQ- 275
 - , Online- 268
 - , Produktions- 267
 - , Prototypen- 267
 - , Prüfpfad 277
 - , Raumkompaktierung 283
 - , scan path 277
 - , -strategie 276
 - , Test Pattern Generator 281
 - , Testbarkeitsmaß 273
 - , TPG 281
 - , Verlustleistung 279
 - von Zellenfehlern 269
 - , -zeit 267
 - , Zeitkompaktierung 283
 - , Zufallstest 273
 - Test Access Mechanismus 284, 288
 - Test Access Port 287
 - Test Pattern Generator 281
 - Test Response Evaluator 281
 - Testautomat 266
 - Testbarkeit 176
 - Testbarkeitsmaß 273
 - Testbench 189, 216, 244, 249, 262
 - Testdatenumfang 267
 - Testgeschwindigkeit 267
 - Testlänge 276
 - Testmethode 266
 - Testmustererzeugung 271
 - , automatische 274
 - Testpunkt 279
 - Teststrategie 276
 - Testvektor 199
 - Testverfahren 21
 - Testzeit 267
 - Tetraden-Code 71
 - T-Flipflop 148, 174, 176
 - thread 383
 - threshold voltage 46
 - through 246
 - Tiefpass 422
 - time 227
 - time compaction 283
 - time to market 222
 - Timing 417
 - Timing Closure 212, 215
 - Timing Simulation 217, 219
 - Timinganalyse 211 f.
 - , statische 194, 201, 216, 218
 - Timing-Bedingung 166
 - , clock skew 168
 - , Taktversatz 168
 - Timing-Budget 167
 - Timing-driven placement 214
 - TLM 187, 257
 - TMR 341
 - Toggeln 147
 - Toggle-Flipflop 148
 - tolerance 247
 - top of stack 366
 - Top-Down 188
 - Torus-Topologie 116
 - totem pole 51
 - TPG 281
 - Träger 272
 - Transaction, Signal- 204
 - Transaction Level Modelling 257
 - Transaction-Level-Modell 187
 - transienter Fehler 268
 - Transistor, Floating Gate 400
 - , MOSFET 399 f.
 - , NMOS- 47
 - , Pass- 399 f.
 - , PMOS- 47
 - Transistorebene 185
 - Transistor-Transistor-Logik 51
 - Transition 165
 - Transition Chart 160
 - transition fault 270
 - Transitionsbedingung 165
 - Transmission Gate 59, 146
 - Transportbefehl 374
 - Transport-Delay 203
 - Transversalfilter 434
 - TRE 281
 - Trefferrate 381
 - Treiber 104
 - Tristate-Ausgang 61
 - TTL 51, 398
 - TTL-Inverter 61
 - Tunneling Magneto Resistance 341
 - type 228
- U**
- Übergang 165
 - Übergangsfehler 270
 - Überlauf 132, 134

- Übersprechfehler 271
 - Übertragsausgang 131
 - Übertragsbit 134
 - Übertragseingang 131
 - Übertragungskapazität 96
 - UMA-Architektur 383
 - Umcodierung 76
 - Umlaufspeicher 303
 - Umwandlungsrate 428
 - Umwandlungszeit 428
 - UND 102 f., 105 f.
 - , verdrahtetes 60
 - Unicode 74
 - , Universal Transformation Format 75
 - Uniform Memory Access Architecture 383
 - unipolarer ADC 437
 - unipolarer DAC 430
 - Universal Transformation Format 75
 - Universalregister 353
 - unsigned 227
 - Unstetigkeit 245
 - Unterabtastung 424
 - Unterlauf 132 ff.
 - Ursache-Wirkung-Prinzip 274
 - use 243
 - UTF 75
- V**
- Valenzband 31
 - Validierung 186, 215
 - variable 230
 - Variable 237
 - VC 296
 - VEITCH, E. W. 113
 - Verarbeitungsleistung 376
 - verbotenes Band 31
 - verdrahtetes ODER 60
 - verdrahtetes UND 60
 - Verdrahtung 182
 - Verhalten, stückweise lineares 245
 - Verhaltensbeschreibung 224, 234, 247, 252, 259
 - , getaktetes Signal 255
 - Verhaltensmodell, empirisches 247
 - , physikalisches 247
 - Verhaltensmodellierung 191
 - Verhaltenssicht 179, 181
 - Verhaltenssynthese 207 f.
 - , Allocation 209
 - , Binding 210
 - , Partitionierung 209
 - , Scheduling 209
 - Verifikation 180, 186, 215, 244
 - , formale 180, 219
 - , funktionale 180, 216
 - , Logikebene 218 f.
 - , Prototyp 218
 - Verifikationssimulation 217
 - Verilog 187, 250
 - , always 252
 - , assign 251
 - , blocking-Signalzuweisung 255
 - , case 256
 - , case-sensitiv 250
 - , for 256
 - , forever 256
 - , Gatterprimitive 251
 - , getaktetes Signal 255
 - , if 255 f.
 - , initial 252
 - , Kommentar 250
 - , Kontrollflussbefehl 256
 - , Modul 250
 - , module 250
 - , nebenläufige Anweisung 252
 - , Netz 251
 - , non-blocking-Signalzuweisung 253, 255
 - , Prozess 252
 - , reg 253
 - , Register 253
 - , repeat 256
 - , Sensitivitätsliste 252, 254
 - , sequenzielle Anweisung 252
 - , strukturelles Modell 250 f.
 - , unvollständige Spezifikation 256
 - , Verhaltensbeschreibung 252
 - , while 256
 - , wire 251, 253
 - Verlässlichkeit 27
 - verlustbehaftete Kompression 78, 87
 - verlustfreie Kompression 78, 81
 - Verlustleistung 36, 38 f., 50, 158, 171, 322
 - , durchschnittliche 280
 - im Testbetrieb 279
 - , Kurzschlussanteil 171

- , Leckstromanteil 171
- , maximale 279
- , Schaltaktivität 171
- , Schaltanteil 171
- Verstärker, S&H- 422
- Verstärkungsfehler 428 f.
- Very Long Instruction Word 382
- Verzeichnis 82
- Verzögerungsart 231
- Verzögerungsmodell 202
- Verzögerungszeit 152, 167
- VHDL 187, 225, 391
 - , across 246
 - , Anweisung 226
 - , architecture 233
 - , array 228
 - , Auflösungsfunktion 228
 - , Bezeichner 226
 - , bit 227
 - , Bitkonstante 226
 - , bit_vector 227
 - , boolean 227
 - , case 234
 - , case-insensitiv 226
 - , component 239
 - , configuration 233
 - , constant 230
 - , Datentypen 227
 - , Defaultwert 235
 - , Device Under Test 244
 - , Differenzgröße 246
 - , DUT 244
 - , empirisches Verhaltensmodell 247
 - , entity 231, 239
 - , 'event 231
 - , File-I/O 245
 - , Flussgröße 246
 - , for 234
 - , function 241
 - , Funktion 241
 - , generate 240
 - , generic 232
 - , generic map 241
 - , Großschreibung 250
 - , if 234 f.
 - , Instanziierung 233, 239
 - , integer 227
 - , Kleinschreibung 250
 - , Kollision 228
 - , kombinatorische Logik 234
 - , Kommentar 226
 - , Kompaktmodell 247
 - , Komponente 239
 - , library 243
 - , lokales Signal 230
 - , named association 239
 - , namentliche Zuordnung 239
 - , nature 246
 - , nebenläufige Signalzuweisung 229, 233
 - , open 239
 - , Operator 229
 - , others 235
 - , package 243
 - , package body 243
 - , physikalisches Verhaltensmodell 247
 - , port 232
 - , port map 239
 - , port, buffer 232
 - , port, in 232
 - , port, inout 232
 - , port, out 232
 - , positional association 239
 - , positionsorientierte Zuordnung 239
 - , procedure 242
 - , process 229, 233
 - , protected 231
 - , Prozedur 241
 - , quantity 246
 - , real 245
 - , record 228
 - , resolved 228
 - , Schnittstellensignal 230
 - , Sensitivitätsliste 236
 - , sequenzielle Anweisung 234
 - , sfixed 227
 - , shared variable 231
 - , signal 230
 - , Signalattribut 231
 - , signed 227
 - , Simulationsemantik 225
 - , std_logic 227 f., 242
 - , std_logic_vector 227, 242
 - , std_ulogic 227
 - , Strukturmodell 249
 - , subtype 228
 - , Synthesemantik 225, 235
 - , terminal 246
 - , Testbench 244, 249

- , through 246
 - , time 227
 - , tolerance 247
 - , type 228
 - , ufixed 227
 - , unsigned 227, 242
 - , Unterprogramm 241
 - , unvollständige Spezifikation 235
 - , use 243
 - , variable 230
 - , variable 237
 - , Verzögerungsart 231
 - , vollständige Spezifikation 235
 - , wait 236
 - , wait for 230
 - , wait until 230
 - , Wertzuweisung an Variable 237
 - , while 234
 - , work 239
 - , Zustandsgröße 246
 - , Zuweisungsoperator für Signale 226
 - , Zuweisungsoperator für Variable 230
 - VHDL'87 225
 - VHDL'93 225
 - VHDL-AMS 199, 225, 245
 - in der Kfz-Industrie 245
 - in der Mikrosystemtechnik 245
 - , Strukturmodell 249
 - Videokompression 88
 - Videotechnik 447
 - Virtual Components 296
 - VLIW 382
 - volatiler Halbleiterspeicher 304
 - Volladdierer 131, 134, 261
 - vollständiges Logiksystem 109
 - Von-Neumann-Architektur 346
 - Von-Neumann-Modell 391 f.
 - Von-Neumann-Rechner 360
 - Vorkommanormalisierung 69
 - Vorwahlschaltung 175
 - Vorwärtskorrektur 89
 - Vorwärtszähler 154
 - Vorzeichenbitdarstellung 64
 - VSIA 222, 298
- W**
- Wafer 34
 - wahlfreier Speicherzugriff 303, 309
 - Wahrheitstabelle 25, 106
 - wait 234
 - wait for 230
 - wait states 308, 364
 - wait until 230
 - Wandlungsvorgang 443 f., 446
 - Wannen-(bulk)-Technologie 48
 - Wartezustand 205
 - Wartezyklus 308, 364
 - waveform decoder 87
 - Welligkeit 433
 - wertdiskret 22
 - wertdiskretes Signal 426
 - Wertdiskretisierung 423
 - wertkontinuierliches Signal 423 f.
 - Wertzuweisung, an Variable 237
 - while 256
 - Widerstandskettenleiter 430
 - Widerstandsnetzwerk 431
 - Wiederverwendbarkeit von Schaltungsblöcken 180
 - wire 251, 253
 - Wired-AND 60, 269
 - Wired-OR 60, 269
 - Wire-Load-Modell 215
 - Wirkintervall 152
 - Wirkung-Ursache-Prinzip 274
 - work-Bibliothek 239
 - Wortlänge 28
 - Wrapper 288
 - write 258
- X**
- XNOR 56, 105
 - XOR 56, 105
- Y**
- Y-Diagramm 181, 184
 - yield 268
- Z**
- Zahl, negative ganze 64
 - , positive ganze 63
 - , rationale 67
 - , römische 63
 - Zahlendarstellung 130
 - , b-adische 63
 - , Festkommaformat 67
 - , Gleitkommaformat 68
 - , IEEE 754 70
 - , Normalisierung 69

- Zahlenformat, äquidistantes 68
Zahlensystem 62
–, Additionssystem 62
–, Konvertierung 63
–, Stellenwertsystem 63
Zahlensystemkonvertierung 63
Zähler 154, 164, 173, 175, 442, 445
–, asynchroner 154, 174
–, Modulo- n - 175
–, synchroner 175
–, Vorwärts- 176
Zählverfahren 438
Zeichen 23
Zeichencode 72
Zeichensatz 72
Zeichenvorrat 23
–, binärer 23
Zeigerregister 354
Zeigervariable 262
Zeilendecoder 306
Zeit, Diskretisierung 158
–, simulierte 201
zeitabhängige Schaltung 25
Zeitdiagramm 136
zeitdiskret 22
zeitdiskretes Signal 424, 426
Zeitdiskretisierung 22, 423
Zeitkompaktierung 283
zeitkontinuierliches Signal 423
zeitlich gemultiplextes Bussignal 364
zeitunabhängige Schaltung 25
Zeitverzögerung 136
Zellenfehler 269, 285
Zellengröße 323
Zerlegung, iterative 121
Zero-Flag 356, 372
Zugriffsmethode 258
Zugriffszeit 322
Zuordnung, namentliche 239, 261 f.
–, positionsorientierte 239, 261 f.
Zustand 139
Zustandsautomat 188, 210, 220
–, endlicher 156
–, Entwurf 158
–, Mealy- 156
–, Medwedjew- 156
–, Moore- 156
Zustandscodierung 207, 210
Zustandsdiagramm 138 f.
–, Zwischenzustand 142
Zustandsfolgetabelle 162
Zustandsgraph 159, 161
Zustandsgröße 246
Zustandsminimierung 159, 210
Zustandsübergangsdigramm 160
Zustandswechsel 139
Zuverlässigkeit 50
Zuweisungsoperator 252
– für Signale 226
– für Variable 230
2er-Komplement 64 f., 133 f.
2er-Komplementzahl 132
Zweiflanken-Umsetzverfahren 444
Zwischenzustand 142
zyklusbasierte Simulation 200